

**LABORATORIO DE ELECTRÓNICA ANALÓGICA USANDO ARREGLOS
ANALÓGICOS PROGRAMABLES POR CAMPO (FPAA)**

**JAIRO ALONSO HERNÁNDEZ GONZÁLEZ
NESLER RICARDO LUNA OVALLES
Estudiantes de Ingeniería Electrónica**

**UNIVERSIDAD PONTIFICIA BOLIVARIANA
ESCUELA DE INGENIERÍAS Y ADMINISTRACIÓN
FACULTAD DE INGENIERÍA ELECTRÓNICA
BUCARAMANGA
ENERO 2011**

**LABORATORIO DE ELECTRÓNICA ANALÓGICA USANDO ARREGLOS
ANALÓGICOS PROGRAMABLES POR CAMPO (FPAA)**

**JAIRO ALONSO HERNÁNDEZ GONZÁLEZ
NESLER RICARDO LUNA OVALLES
Estudiantes de Ingeniería Electrónica**

**Tesis de grado presentada como requisito para optar el título de Ingeniero
Electrónico**

**DIRECTOR DEL PROYECTO:
ALONSO DE JESÚS RETAMOSO LLAMAS
Ingeniero Electricista**

**UNIVERSIDAD PONTIFICIA BOLIVARIANA
ESCUELA DE INGENIERÍAS Y ADMINISTRACIÓN
FACULTAD DE INGENIERÍA ELECTRÓNICA
BUCARAMANGA
ENERO 2011**

Nota de aceptación:

Firma del presidente del jurado

Firma del jurado

Firma del jurado

Bucaramanga, 2011

A Dios, por haberme permitido llegar hasta este punto y haberme dado salud para lograr mis objetivos, además de su infinita bondad y amor.

Con mucho cariño y principalmente a mis padres, por haberme apoyado en todo momento, por sus consejos, sus valores, por la motivación constante que me ha permitido ser una persona de bien, pero más que nada, por su amor.

Jairo Alonso Hernández González

Dedicada a mi familia que gracias a sus consejos y palabras de aliento crecí como persona. A mis padres por su apoyo, confianza y amor. Gracias por ayudarme a cumplir mis objetivos como ser humano. A mi madre por brindarme los recursos necesarios y estar a mi lado apoyándome siempre. A mi padre por guiar mi camino con su sabiduría y enseñanzas

Nesler Ricardo Luna Ovalles

AGRADECIMIENTOS

Los autores expresan sus agradecimientos a:

El Ingeniero Alonso de Jesús Retamoso Llamas, por aceptarme para realizar esta tesis de grado bajo su dirección. Su apoyo y confianza en mi trabajo y su capacidad para guiar mis ideas ha sido un aporte invaluable, no solamente en el desarrollo de esta tesis, sino también en mi formación como investigador. Las ideas propias, siempre enmarcadas en su orientación y rigurosidad, han sido la clave del buen trabajo que hemos realizado juntos.

A la facultad de Ingeniería Electrónica de la Universidad Pontificia Bolivariana por facilitar sus instalaciones para llevar a cabo este estudio.

Profesores, amigos y/o compañeros de clases quienes en su momento hicieron contribuciones en esta formación.

TABLA DE CONTENIDO

	pág.
INTRODUCCIÓN	21
OBJETIVOS	23
1 ARREGLOS ANALÓGICOS PROGRAMABLES POR CAMPO	24
1.1 COMPARACIÓN ENTRE FPGA Y FPAAS	24
1.2 CLASIFICACIÓN DE LAS FPAAS.....	25
1.3 HISTORIA DE LAS FPAAS	25
1.3.1 FABRICANTES.....	27
1.3.2 CIRCUITOS FPAAS DE LATTICE.....	28
1.3.3 CIRCUITOS FPADS DE ZETEX.....	30
1.3.4 CIRCUITOS FPAAS DE ANADIGM.....	31
2 TECNOLOGÍA DE CAPACITORES CONMUTADOS	32
3 FPAAS DE ANADIGM	37
3.1 IDENTIFICACIÓN	38
3.2 PRIMERA GENERACIÓN	38
3.3 SEGUNDA GENERACIÓN (ANX2XE04)	40
3.3.1 CELDAS DE E/S CONFIGURABLES.....	42
3.3.2 CELDA DE E/S MULTIPLEXADA:.....	44
3.3.3 CELDAS SALIDA DEDICADA.....	45
3.3.4 BLOQUES ANALÓGICOS CONFIGURABLES (CABs).....	46
3.3.5 TABLA DE BÚSQUEDA (LUT).....	47
3.3.6 TENSIÓN DE REFERENCIA.....	50
3.3.7 EL RELOJ DEL SISTEMA.....	51
3.3.8 SISTEMA DE ARRANQUE (BOOT).....	52
3.4 TERCERA GENERACIÓN (ANX31E04)	56
3.4.1 CONEXIÓN TÍPICA INTERFAZ DE CONFIGURACIÓN.....	59
3.4.2 CELDAS DE ENTRADA/SALIDA TIPO 1 Y TIPO 1A.....	61
3.4.3 CELDAS DE ENTRADA/SALIDA TIPO 2 Y TIPO 2A.....	61
3.4.4 GENERADOR DE SEÑALES DE RELOJ.....	62

4	KIT DE DESARROLLO AN231K04-DVLP3	64
4.1	ANADIGMAPEX DEVELOPMENT BOARD	64
4.2	DISEÑO DEL KIT AN231K04-DVLP3	66
4.3	FUENTE DE ENERGIZACIÓN DEL KIT AN231K04-DVLP3	67
4.4	PROGRAMACIÓN LA FPAА	67
4.5	EVALUACIÓN DE DISEÑOS MULTICHIP	68
4.7	OTRAS CARACTERÍSTICAS	69
4.7.1	<i>PINES DE TENSIÓN DE REFERENCIA</i>	69
4.7.2	<i>PINES DE CONEXIÓN ENTRADA/SALIDA</i>	69
4.7.3	<i>EPROM</i>	70
4.7.4	<i>BOTÓN DE REINICIO</i>	70
4.7.5	<i>PUERTO SPI</i>	70
4.7.6	<i>SECCIÓN DIGITAL</i>	71
4.7.7	<i>MEMORIA FLASH</i>	71
4.7.8	<i>PUENTES (JUMPERS)</i>	72
4.7.9	<i>FILTROS RAUCH</i>	73
5	TUTORIAL DE DESCARGA E INSTALACIÓN DE ANADIGMDESIGNER® 2	74
6	ANADIGMDESIGNER®2	80
6.1	INTERFAZ DE USUARIO	81
6.2	DESCRIPCIÓN DE LA PLATAFORMA DE TRABAJO	82
6.2.1	<i>Barra de menú</i>	83
6.2.1.1	Menú File	84
6.2.1.2	Menú Edit	87
6.2.1.3	Menú Simulate	90
6.2.1.4	Menú Configure	93
6.2.1.5	Menú Settings	94
6.2.1.6	Menú Dynamic Config	95
6.2.1.7	Menú Target	96
6.2.1.8	Menú View	96
6.2.1.9	Menú Tools	96
6.2.1.10	Menú Help	97
6.3	BARRAS DE HERRAMIENTAS	97
6.4	COMBINACIONES DE TECLADO	99

6.5	CAMs	99
6.6	ANADIGMFILTER	105
6.6.1	<i>EXPLICACIÓN DE LA HERRAMIENTA</i>	107
6.6.2	<i>SECCIONES:</i>	108
6.6.2.1	VISUALIZACIÓN DE LA GRAFICA DEL FILTRO (1)	108
6.6.2.2	PARÁMETROS DEL FILTRO (2).....	109
6.6.2.3	CHIP Y RELOJ DE FUNCIONAMIENTO (3)	109
6.6.2.4	TIPO DE FILTRO (4)	110
6.6.2.5	TIPO FAMILIA (5)	111
6.6.2.6	CAMS UTILIZADOS (6)	111
6.6.3	<i>ANÁLISIS DE DATOS FUERA DE AD2</i>	112
6.6.3.1	EXPORTAR E IMPRIMIR	112
6.7	ANADIGMPID	114
6.7.1	<i>SECCIONES DE ANADIGMPID</i>	116
6.7.1.1	SECCIÓN DE MENÚS Y ACCESOS DIRECTOS (1).....	117
6.7.1.2	SECCIÓN DE INFORMACIÓN PID PESTAÑAS (2).....	117
6.7.1.3	SECCIÓN DE INFORMACIÓN PID (3).....	119
6.7.1.4	PESTAÑA INPUT (4).....	119
6.7.1.5	PESTAÑA PROPERTIES (5)	119
6.7.1.6	PESTAÑA FILTER (6).....	120
6.7.1.7	PESTAÑA SYSTEM (7)	120
6.7.2	<i>FUNCIONAMIENTO DEL SISTEMA</i>	120
7	PRÁCTICAS DE LABORATORIO	121
7.1	PRÁCTICA 1.....	121
7.2	PRÁCTICA 2.....	136
7.3	PRÁCTICA 3.....	147
7.4	PRÁCTICA 4.....	180
7.5	PRÁCTICA 5.....	196
	CONCLUSIONES	209
	AVANCES FUTUROS	210
	BIBLIOGRAFÍA	211

LISTA DE TABLAS

	pág.
Tabla 1. Evolución de las FPAAs.	26
Tabla 2. FPAAs comerciales.	27
Tabla 3. Circuitos FPAAs de la familia IspPAC.	30
Tabla 4. Lista de memorias EPROM compatibles con el chip AN221E04 FPAA.	52
Tabla 5. Chips soportados por AD2	123
Tabla 6. Parámetros del generador.	130
Tabla 7. CAM's del Esquemático.	139
Tabla 8. Parámetros del Generador de funciones.	141
Tabla 9. Parámetros de la señal de entrada.	144
Tabla 10. Tipos De Filtros.	148
Tabla 11. Parámetros del Filtro 0	162
Tabla 12. Parámetros del Filtro 1	164
Tabla 13. Parámetros del Filtro 2	165
Tabla 14. CAM's adicionales.	167
Tabla 15. Parámetros del Generador de Funciones	169
Tabla 16. Parámetros Filtro	173
Tabla 17. CAM's Adicionales.	174
Tabla 18. Parámetros Generadores.	176
Tabla 19. Parámetros de las Señales de Entrada	177
Tabla 20. Parámetros CAM	183
Tabla 21. Parámetros CAM	185
Tabla 22. Parámetros Generador	187
Tabla 23. CAM's a utilizar con sus parámetros	206

LISTA DE FIGURAS

	pág.
Figura 1. Diagrama de bloques de un PACblock.....	28
Figura 2. Diagrama esquemático del TRAC020.	31
Figura 3. Conmutación de capacitores como sustitución de resistencias.	33
Figura 4. Resistencia Negativa.	34
Figura 5. Sistema de muestreo analógico.....	35
Figura 6. Gráfico de muestreo de una señal analógica.	35
Figura 7. Implementación de un filtro aplicando capacitores conmutados	36
Figura 8. Amplificador inversor con capacitores conmutados.....	36
Figura 9. Arquitectura interna de una FPAA AN10E40.....	38
Figura 10. Arquitectura interior de un CAB.	39
Figura 11. Arquitectura interna de una FPAA AN221E04.	41
Figura 12. Esquema de la celda de E/S configurable.	43
Figura 13. Esquema de la celda de E/S multiplexada.....	44
Figura 14. Esquema de una celda dedicada salida.....	45
Figura 15. Arquitectura de un CAB de la segunda generación de FPAAs de Anadigm.	46
Figura 16. Ejemplo de linealización de las señales de un sensor.....	49
Figura 17. Esquema del circuito para generar la tensión de referencia.....	50
Figura 18. Diagrama del circuito de generación de reloj.	51
Figura 19. Esquema de conexión de la EPROM con la FPAA AN221E04.....	53
Figura 20. Conexión de la FPAA para la interfaz con un microprocesador (a) SPI y (b) SSI.	54
Figura 21. Conexión de la interfaz del bus de periféricos externos.	55
Figura 22. Arquitectura Interior de la FPAA AN231E04.....	56
Figura 23. Configuración de la FPAA como esclavo, recibiendo datos de un procesador host.....	60
Figura 24. FPAA configurada como maestro, leyendo datos de un procesador host.....	60
Figura 25. Características de las celdas de Entrada/Salida Tipo 1 y Tipo 1a.....	61
Figura 26. Características de las celdas de Entrada/Salida Tipo 2 y Tipo 2a.....	62

Figura 27. Sistema de generación de reloj de la tercera generación de FPAA's.	63
Figura 28. AnadigmApex Development Board	64
Figura 29. Diseño de la cara superior AN231K04-DVLP3.....	66
Figura 30. Conexión tipo jack de +4 V o +12 V	67
Figura 31. Conexión de dos o más tarjetas.	68
Figura 32. Pines VREF.....	69
Figura 33. Pines Entrada/Salida	70
Figura 34. Sección Digital.	71
Figura 35. Posiciones de puentes para la configuración predeterminada.	72
Figura 36. Disposición física de un filtro Rauch.	73
Figura 37. Enlace http://anadigm.com	74
Figura 38. Registro y Descarga	75
Figura 39. Inicio de Descarga	75
Figura 40. Ubicación del archivo Setup.....	76
Figura 41. Instalación de AD2.....	76
Figura 42. Visualización del icono AD2	77
Figura 43. Registros de AD2	77
Figura 44. Primera imagen de AD2.....	78
Figura 45. Escoger el chip FPAA AN231E04	78
Figura 46. Pantalla principal de AD2.....	79
Figura 47. Interfaz de usuario AD2.	81
Figura 48. Entorno de trabajo AD2.....	82
Figura 49. Barra de Menús.	83
Figura 50. Menú <i>File</i>	84
Figura 51. Check Sheet.	85
Figura 52. Desajuste de fase	85
Figura 53. Desajuste de fase entre el reloj de muestreo	86
Figura 54. Parámetros de CAM inválidos.....	86
Figura 55. Reloj de muestreo de la FPAA fuera del rango recomendado	87
Figura 56. Register.	87
Figura 57. Menú <i>Edit</i>	88

Figura 58. Insert new CAM.....	88
Figura 59. Configuración de parámetros del CAM.....	89
Figura 60. Menú Simulate.....	90
Figura 61. Generador de Funciones.....	91
Figura 62. Setuo Simulation.....	92
Figura 63. Oscilloscope.....	93
Figura 64. Menú Configure.....	93
Figura 65. Menú Settings.....	94
Figura 66. Active chip settings.....	94
Figura 67. Preferences.....	95
Figura 68. Menu Dynamic Config.....	95
Figura 69. Menú Target.....	96
Figura 70. Menú View.....	96
Figura 71. Menú Tools.....	97
Figura 72. Menú Help.....	97
Figura 73. Accesos directos.....	98
Figura 74. Analog to Digital Converter (SAR):.....	99
Figura 75. Comparator.....	100
Figura 76. Divider.....	100
Figura 77. Half Cycle Gain Stage.....	101
Figura 78. Half Cycle Inverting Gain Stage with Hold.....	101
Figura 79. Inverting Gain Stage.....	102
Figura 80. Gain Stage with Output Voltage Limiting.....	102
Figura 81. Gain Stage with Polarity Control.....	103
Figura 82. Voltage Controlled Variable Gain Stage.....	103
Figura 83. Sample and Hold.....	103
Figura 84. Integrator.....	104
Figura 85. Sine Wave Oscillator.....	104
Figura 86. Half Cycle Sum/Difference Stage.....	105
Figura 87. User-defined Voltage Transfer Function.....	105
Figura 88. Herramienta AnadigmFilter.....	106

Figura 89. Herramienta AnadigmFilter.....	107
Figura 90. Opción Advanced.....	110
Figura 91. Tipos de Filtro.....	111
Figura 92. Tipos de Familia de filtro.....	111
Figura 93. Formato generado por AnadigmFilter.....	113
Figura 94. AnadigmPID.....	114
Figura 95. Ventana de inicialización.....	115
Figura 96. Adición de un chip.....	115
Figura 97. Menús de la suite AnadigmPID.....	117
Figura 98. Pestaña "Desing notes".....	118
Figura 99. Pestaña "Block Diagram".....	118
Figura 100. Pestaña "TransferFx".....	118
Figura 101. Icono de AnadigmDesigner2.....	124
Figura 102. Inicio-AD2.....	125
Figura 103. Barra de herramientas.....	126
Figura 104. Selección de los CAMs.....	126
Figura 105. Herramientas de los Módulos Analógicos Configurables.....	127
Figura 106. Visualización-Parámetros de la CAM en la FPAA.....	127
Figura 107. Ubicación de la CAM.....	127
Figura 108. Entradas o salidas del sistema.....	128
Figura 109. Cableado y ubicación del un generador de señales.....	129
Figura 110. Parámetros del Generador de Señales.....	131
Figura 111. Puntas del osciloscopio.....	132
Figura 112. Setup simulation.....	133
Figura 113. Resultado de la Simulación (Osciloscopio).....	133
Figura 114. (a) Ventana de visualización de recursos del chip (b) Recursos utilizados por un CAM.....	134
Figura 115. Modulador AM DSBFC simplificado.....	137
Figura 116. Diagrama de conexiones.....	140
Figura 117. Circuito Final.....	142
Figura 118. Señales de salida del simulador.....	143

Figura 119. Cables de conexión	145
Figura 120. Pines de conexión de la FPAA	145
Figura 121. Respuesta en frecuencia de un Filtro Butterworth.	149
Figura 122. Respuesta en frecuencia de un Filtro Chebyshev	150
Figura 123. Respuesta en frecuencia de un Filtro Bessel.	151
Figura 124. Herramienta AnadigmFilter.	153
Figura 125. Herramienta AnadigmFilter.	154
Figura 126. Opción <i>Advanced</i>	157
Figura 127. Tipos de Filtro.....	157
Figura 128. Tipos de Familia de filtro.....	158
Figura 129. Formato generado por AnadigmFilter.....	160
Figura 130. Ventana de configuración de las fuentes de reloj del chip.....	161
Figura 131. Valores de los Relojes.	162
Figura 132. Filtro 0.....	163
Figura 133. Filtro 1.....	164
Figura 134. Filtro 2.....	166
Figura 135. Diagrama de conexiones.....	168
Figura 136. Circuito 1	170
Figura 137. Simulación.....	171
Figura 138. Circuito 2	175
Figura 139. Simulación circuito 2.....	176
Figura 140. Etapas de un proceso de captura para un control digital	181
Figura 141. Linealización de una señal capturada	182
Figura 142. Chip 1.....	183
Figura 143. Chips 1 y 2.	184
Figura 144. Diseño Chip 1 y 2.....	186
Figura 145. Circuito final.	188
Figura 146. Ventana TransferFunction	189
Figura 147. Archivos.....	190
Figura 148. Señales de salida del simulador.....	191
Figura 149. Circuito adicional.....	192

Figura 150. AnadigmPID.....	197
Figura 151. Ventana de inicialización.	198
Figura 152. Adición de un chip.	198
Figura 153. Secciones de AnadigmPID.....	199
Figura 154. Menús de la suite AnadigmPID.	200
Figura 155. Pestaña "Desing notes".	201
Figura 156. Pestaña "Block Diagram".....	201
Figura 157. Pestaña "TransferFx".	202
Figura 158. Configuración de relojes internos.....	205
Figura 159. Controlador PID.....	205
Figura 160. Simulación.....	207
Figura 161. Cálculos Filtros Rauch	213
Figura 162. Descripción de los Jumpers del kit de desarrollo.....	214

LISTA DE ANEXOS

	pág.
ANEXO A. ESQUEMA Y CÁLCULOS DE LOS FILTROS RAUCH	213
ANEXO B. DESCRIPCIÓN DE JUMPERS	214
ANEXO C. HOJA DE DATOS DE LA FPAA AN231E04.....	215

GLOSARIO

CONFIGURABLE ANALOG BLOCK (CAB): Celda analógica básica y programable en un FPAA.

ELECTRICALLY PROGRAMMABLE ANALOG CIRCUIT (EPAC): Un circuito FPAA versión de IMP Inc; EPAC es una marca registrada del fabricante IMP Inc.

FIELD PROGRAMMABLE ANALOG ARRAY (FPAA): Es un circuito integrado, el cual puede ser programado para implementar circuitos analógicos, usando bloques análogos flexibles e interconexiones.

FIELD PROGRAMMABLE ANALOG DEVICE (FPAD): Es el nombre que utiliza el fabricante Zetex para un FPAA.

FIELD PROGRAMMABLE MIXED ANALOG-DIGITAL ARRAY (FPMA): Un circuito integrado, el cual contiene un FPAA y un FPGA, es tan flexible como los bloques configurables y se puede programar para implementar circuitos de señal mixta.

FIELD PROGRAMMABLE SYSTEM-ON-A-CHIP (FIPSOC): Un chip que integra un FPMA y un microcontrolador, este chip es comercializado por la compañía SIDSA.

RESEAU ANALOGIQUE PROGRAMMABLE (RAP): Nombre en francés para un FPAA.

TOTALLY RECONFIGURABLE ANALOG CIRCUIT (TRAC): Nombre para los circuitos FPADs fabricados por Zetex.

RESUMEN GENERAL DE TRABAJO DE GRADO

TITULO: LABORATORIO DE ELECTRÓNICA ANALÓGICA USANDO ARREGLOS ANALÓGICOS PROGRAMABLES POR CAMPO (FPAA)

AUTOR(ES): NESLER RICARDO LUNA OVALLES
JAIRO ALONSO HERNANDEZ GONZALEZ

FACTULTAD: Facultad de Ingeniería Electrónica

DIRECTOR: ALONSO DE JESUS RETAMOSO LLAMAS

RESUMEN

En este proyecto se plantea el uso de la tecnología FPAA (*Field Programmable Analog Array*), como una metodología para el diseño de circuitos analógicos. Para esto, se hace una descripción de la terminología, la evolución y las arquitecturas de los circuitos FPAA en el presente documento. Este proyecto de investigación, se desarrolló basado en la selección de la FPAA AN231E04, del fabricante *Anadigm*. Este último suministra un kit evaluación que contiene una tarjeta para pruebas de laboratorio *AN231K04-DVLP3* y un software de programación *AnadigmDesigner2*. Las FPAA pueden ser programadas con el objetivo de cumplir diversas aplicaciones, tales como: amplificación, rectificación, filtrado, acondicionamiento y multiplicación de señales analógicas, entre otras funciones, por medio de un conjunto de módulos programables llamados CAM (*Configurable Analog Module*) que contiene el software *AnadigmDesigner2*. Entre las ventajas de las FPAA se encuentran, la reducción de los circuitos analógicos a implementar en hardware, (debido a que internamente la FPAA crea los diferentes elementos electrónicos necesarios para el diseño, mediante el uso de capacitancias conmutadas y amplificadores operacionales) y su forma intuitiva para sintetizar los circuitos a diseñar. Por último *AnadigmDesigner2* dispone de dos herramientas de ayuda: *AnadigmPID* para la creación de circuitos de control analógico y *AnadigmFilter* para el procesamiento de señales analógicas; que son muy eficaces para el desarrollo de estas aplicaciones.

PALABRAS CLAVE:

FPAA, chip, electrónica, circuitos, diseño, arquitectura circuital

V° B° DIRECTOR DE TRABAJO DE GRADO

RESUMEN GENERAL DE TRABAJO DE GRADO

TITULO: LABORATORIO DE ELECTRÓNICA ANALÓGICA USANDO ARREGLOS ANALÓGICOS PROGRAMABLES POR CAMPO (FPAA)

AUTORES: NESLER RICARDO LUNA OVALLES
JAIRO ALONSO HERNANDEZ GONZALEZ

FACULTAD: Facultad de Ingeniería Electrónica

DIRECTOR(A): ALONSO DE JESUS RETAMOSO LLAMAS

ABSTRACT

This project raises the use of the FPAA (Field Programmable Analog Array), as a methodology for analog circuits design. To accomplish this, a brief description of the terminology, the evolution and the architectures of the FPAA circuits must be done in this paper. This investigation project was developed based on the selection of the AN231E04 Anadigm chip. The manufacturer provides an evaluation kit that contains a lab testing board AN231K04-DVLP3, and also includes software called AnadigmDesigner2. FPAA can be programmed to accomplish several applications, as follows: amplification, rectification, filtering, signal conditioning and analog signal multiplication, as well as other functions, through a set of configurable analog modules (CAMs) contained in the software AnadigmDesigner2. Some of the advantages of the FPAA are: the circuits built in the hardware are smaller than usual, (due to FPAA inner creation of several electronic devices, necessary for the designing, through the use of switched capacitances and operational amplifiers), and its predictive circuit design. Finally AnadigmDesigner2 features two help tools: AnadigmPID for the designing of analog control circuits and AnadigmFilter for the analog signal processing, which are really effective to run these apps

KEYWORDS:

FPAA, chip, electronics, circuits, design, circuit architecture

V° B° DIRECTOR DE TRABAJO DE GRADO

INTRODUCCIÓN

El procesamiento de las señales analógicas en el dominio del tiempo es altamente factible y tiene algunas ventajas importantes con respecto al procesamiento digital. Esto se debe a que no existe la necesidad de utilizar convertidores analógicos a digital y viceversa, adicionalmente, hoy en día se diseñan novedosos circuitos integrados analógicos y de señal mixta (analógicos y digitales), los cuales usan nuevas técnicas de diseño para alcanzar altas velocidades en el procesamiento de señales analógicas.

Entre las nuevas metodologías de diseño de circuitos analógicos se encuentran los circuitos analógicos programables FPAA (*Field Programmable Analog Array*), los cuales brindan una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos. Estos circuitos ofrecen excelentes características tales como: amplio ancho de banda, alta linealidad, muy buena relación señal/ruido, bajo consumo de potencia, entre otros.

Inicialmente las FPAAs surgieron de la necesidad de desarrollar una tecnología en circuitos integrados, en los cuales se permitiera programar e implementar circuitos de señal analógica en un solo chip. Como resultado, a partir de la década de los ochenta hasta el tiempo actual, varias corporaciones y grupos de investigación han desarrollado productos que se han dado a conocer al mercado mundial.

Actualmente existen fabricantes que desarrollan la tecnología FPAA entre los cuales están: *Lattice*, *Zetex* y *Anadigm*. Estos enfocan su arquitectura desde diferentes puntos de vista; *Lattice*, se basa en la tecnología de UltraMOS de tiempo continuo, su arquitectura se constituye mediante celdas programables *PACell* (*Programmable Analog Cell*) que se utilizan en la creación de los módulos

ispPAC (Lattice Programmable Analog ICs), que son el elemento funcional básico de sus circuitos FPAA. *Zetex*, se basa en la tecnología Bipolar de tiempo continuo, su arquitectura se fundamenta en una única celda analógica configurable, que se utiliza en los circuitos TRAC, que son el elemento funcional básico de sus circuitos FPAD que son el equivalente a las FPAA. *Anadigm*, se basa en la tecnología SC (*Switched Capacitor*), su arquitectura se fundamenta en un grupo de bloques analógicos configurables CAB (*Configurable Analog Block*), estos son el elemento funcional básico de sus circuitos FPAA.

Para el desarrollo de este proyecto de investigación se optó por el chip AN231E04 del fabricante *Anadigm*, debido a que esta compañía ha dado a conocer su tecnología por sus prestaciones, enfoques y versatilidad en diferentes aplicaciones. Además ofrece un kit de desarrollo para evaluar el funcionamiento básico de las FPAAs. Estas pueden ser programadas para amplificar, rectificar, filtrar y/o acondicionar señales analógicas, entre otras aplicaciones, por medio de un conjunto de módulos programables llamados CAM (*Configurable Analog Module*) que contiene el software *AnadigmDesigner2*, que forma parte del kit de evaluación que ofrece *Anadigm*. Este software dispone de dos herramientas de ayuda al usuario, las cuales son: *AnadigmPID* y *AnadigmFilter*, la primera se usa para la creación de circuitos de control analógico y la segunda para el procesamiento de señales analógicas.

Finalmente se desarrollaron cinco prácticas que buscan que el usuario final obtenga un conocimiento básico de los diferentes módulos y aplicaciones incluidas en el software.

OBJETIVOS

OBJETIVO GENERAL

- Desarrollar un laboratorio de Electrónica analógica, usando la herramienta AnadigmDesigner®2 y sintetizados sobre el dispositivo análogo programable FPAA, de referencia AN231E04 de Anadigm.

OBJETIVOS ESPECÍFICOS

- Comprender las ventajas del diseño con Circuitos Programables, así como las características arquitecturales del dispositivo FPAA AN231E04 de Anadigm.
- Configurar de forma básica una FPAA y realizar sus conexiones respectivas, representando diseños electrónicos para acondicionar el tratamiento de señales analógicas, trasladando circuitos complejos a un set de funciones simples por medio del software AnadigmDesigner®2.
- Diseñar e implementar, sistemas análogos reconfigurable en tiempo real, totalmente independiente y autosuficiente, que permite manipular señales analógicas de control basadas en funciones del FPAA.
- Plantear un prototipo de laboratorio de electrónica analógica en el área de dispositivos electrónicos

1 ARREGLOS ANALÓGICOS PROGRAMABLES POR CAMPO

Los arreglos analógicos programables por campo (Field Programmable Analog Array – “FPAA”), son el equivalente análogo de una FPGA¹. Estos circuitos pueden ser configurados para realizar una variedad de diferentes funciones analógicas; generalmente el circuito consta de un grupo de bloques análogos configurables (Configurable Analog Block – “CAB”), de una red de interconexión programable y un registro para almacenar los bits de la configuración de la FPAA. Estos dispositivos pueden ser son construidos implementado la tecnología CMOS; y permiten la implementación de funciones analógicas usando la técnica de diseño Switched-Capacitor (SC) entre otras.

1.1 COMPARACIÓN ENTRE FPGA Y FPAA

Al analizar las ventajas que tiene las FPGA sobre las FPAA, se puede observar su alta estandarización por su diseño digital, esto causa que exista una gran cantidad de herramientas de automatización para el diseño de aplicaciones, lo cual se traduce en una reducción significativa de las etapas de diseño.

Hoy en día el diseño digital es un proceso automatizado el cual se puede realizar con una mínima intervención humana. Caso contrario ocurre en las aplicaciones analógicas, dado que existen diversas magnitudes a tratar, tales como corriente, tensión, frecuencia, entre otros; así mismo es necesaria la implementación de operaciones tales como amplificación, multiplicación, Sample & Hold, entre otros.

Teniendo en cuenta lo mencionado anteriormente, las FPAA no pueden compararse con las prestaciones dadas por las FPGA, tales como potencia y

¹ pdf_ref_1 sites.google.com/site/javierfvargas/earte.pdf

adaptabilidad. En la actualidad existen diversos tipos de FPAA, y cada uno de ellos soporta un cierto número de funciones o aplicaciones concretas.

1.2 CLASIFICACIÓN DE LAS FPAA

Las FPAA pueden clasificarse en dos grandes grupos, las de tiempo discreto y las de tiempo continuo. Las FPAA de tiempo discreto están basadas en técnicas de capacidades conmutadas, corrientes conmutadas o en convertir la señal en una señal de PWM². Pero se ven muy afectadas por sus limitaciones en ancho de banda y su susceptibilidad al ruido debido a la naturaleza conmutada de las señales. Las FPAA de tiempo continuo, se basan en la utilización de amplificadores operacionales. Éste grupo de FPAA goza de un ancho de banda mayor que el de las FPAA de tiempo discreto,³ sin embargo, la aplicación de grandes márgenes dinámicos es más complicada a la hora de dotarlas de programabilidad.

Teniendo en cuenta lo mencionado anteriormente, las prestaciones de las FPAA están limitadas por su precisión, que en las soluciones de tiempo continuo depende del desapareamiento y en las soluciones de tiempo discreto del número de bits. Y en su ancho de banda, que normalmente es inferior a 1 MHz, lo cual es causado por la carga capacitiva elevada en las líneas de señal.

1.3 HISTORIA DE LAS FPAA

Los sistemas electrónicos demuestran una evolución creciente en complejidad y beneficios. Con la creación y evolución de los circuitos digitales programables

² pdf_ref_1 sites.google.com/site/javierfvargas/earte.pdf

³ calima.univalle.edu.co/scf/eventos/2007/www/docs/libro.pdf

(Programmable Logic Devices – “PLDs”), ⁴se vio la necesidad de desarrollar una tecnología en circuitos integrados, en los cuales se permitiera programar e implementar circuitos de señal analógica y digital en un solo chip. Como resultado a partir de la década de los ochenta hasta el tiempo actual, varias corporaciones y grupos de investigación han desarrollado productos que han dado a conocer al mercado mundial, tal como se muestra en la siguiente tabla.

Tabla 1. Evolución de las FPAAs.

Corporaciones y Grupos de Investigación	Año
Sivilotti (Caltech)	1988
Lee & Gulak (Universidad of Toronto)	1990
Kawasaki Steel	1990
Pilkington Microelectronics	1990
Lee & Gulak (University of Toronto)	1991
IMP, Inc	1994
Pierzchala & Perkowski (Portland State University)	1994
Chang et al (University of Nottingham)	1994
Embabi et al (Texas A&M University)	1996
Zetex Semiconductors Ltd.	1996
Guadet & Gulak (University of Toronto)	1997
Futura et al (Spain)	1997
Motorola	1997
Motorola e IMP, retiradas del mercado	1998
IspPAC de Lattice	1999
SIDSA FIPSOC (anunció de un nuevo chip)	1999
Anadigm	2000

Fuente: Autores

⁴ www.uax.es/publicaciones/archivos/TECELS04_001.pdf

1.3.1 FABRICANTES

Actualmente, existen principalmente tres compañías fabricantes de semiconductores que producen circuitos FPAA. En la Tabla 2 se muestran los FPAA comerciales.

Tabla 2. FPAA comerciales.

Fabricante	Modelo	Tecnología
Lattice http://www.latticesemi.com/	IspPAC10	UltraMOS tiempo continuo
	IspPAC20	
	IspPAC30	
	IspPAC80	
	IspPAC81	
	IspPAC POWR1208	
Zetex http://www.zetex.com/	TRAC20	Bipolar tiempo continuo
	TRAC20LH	
Anadigm http://www.anadigm.com/	AN120E04	Switched capacitor
	AN121E04	
	AN127E04	
	AN131E04	
	AN220E04	
	AN221E04	
	AN227E04	
	AN231E04	

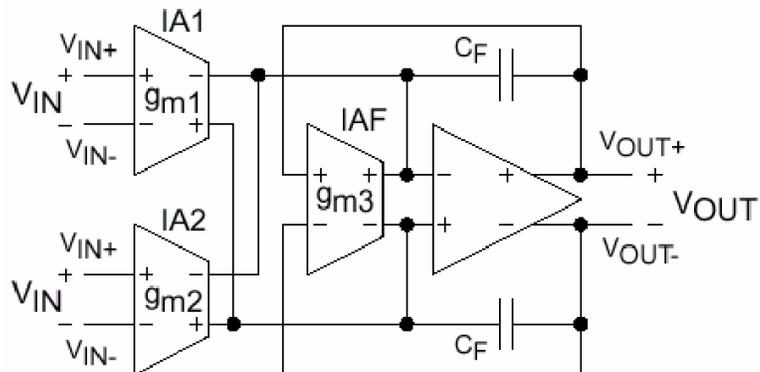
Fuente: Autor

1.3.2 CIRCUITOS FPAAS DE LATTICE

Las celdas programables (Programmable Analog Cell – “PACell”) son el elemento funcional activo básico de los circuitos FPAAs de Lattice⁵, dependiendo de la arquitectura específica del circuito IspPAC, puede ser un amplificador de instrumentación, un amplificador-sumador u otra etapa activa elemental⁶.

En los circuitos IspPAC, las celdas programables PACells se combinan de forma adecuada para formar macro-celdas analógicas o PACblocks. Al no requerir ningún componente externo, hace posible que la implementación de funciones analógicas básicas tales como: la suma o diferencia, el filtrado con precisión, aplicar ganancia o atenuación y conversión sean flexibles. En la figura 1, se muestra el diagrama de bloques básico de un PACblock.

Figura 1. Diagrama de bloques de un PACblock.



Fuente: Lattice Semiconductor, ispPAC Handbook: Programmable Analog Circuits, Sept. 1999.

⁵ www.iberchip.net/IX/Articles/PAP-073.pdf

⁶ Lattice Semiconductor, ispPAC Handbook: Programmable Analog Circuits, Sept. 1999.

Una sola fuente de alimentación de cinco voltios (5V) es necesaria para la alimentación de los circuitos IspPAC, estos ofrecen una arquitectura diferencial desde la entrada hasta la salida. Lo que duplica la eficacia del rango dinámico vs. I/O “single-ended” (voltaje de entrada). Además mejora el funcionamiento el circuito con respecto a las especificaciones, tales como: PSR (Power-Supply Rejection), CMR (Común-Mode Rejection), y THD (Total Harmonic Distortion).

El sistema (In-System Programmable – “ISP”) de Lattice, permite reducir la metodología de diseño de programación en el proceso de diseño de aplicaciones, así mismo acelera la culminación del circuito analógico. La herramienta de diseño PAC-Designer⁷ facilita al usuario una interfaz gráfica en la cual se puede especificar fácilmente el diseño a montar, para esto se debe usar las librerías y macros generadores de circuitos. En la Tabla 3 se presentan los diferentes circuitos de la familia IspPAC y el área respectiva de aplicación de cada uno.

⁷ R. Caicedo y J. Velasco, “Tutorial PAC-Designer”, Escuela de Ingeniería Eléctrica y Electrónica, Universidad del Valle, Sept. 2002.

Tabla 3. Circuitos FPAAs de la familia IspPAC.

Circuito	Función	Encapsulado
IspPAC-POWR1208	Control y monitoreo de fuentes de potencia	44-TQFP
IspPAC10	Acondicionamiento de señal	28-SOIC 28-PDIP
IspPAC20	Lazo de control y monitoreo	44-PLCC 44-TQFP
IspPAC30	Versatilidad análoga front-end	24-SOIC 28-PDIP
IspPAC80	Ultra-flexible, tiempo continuo, filtro paso bajo de 5 ^o orden con una frecuencia de corte programable en el rango de 50 kHz – 750 kHz	16-SOIC 16-PDIP
IspPAC81	Ultra-flexible, tiempo continuo, filtro paso bajo de 5 ^o orden con una frecuencia de corte programable en el rango de 10 kHz – 75 kHz	16-SOIC 16-PDIP

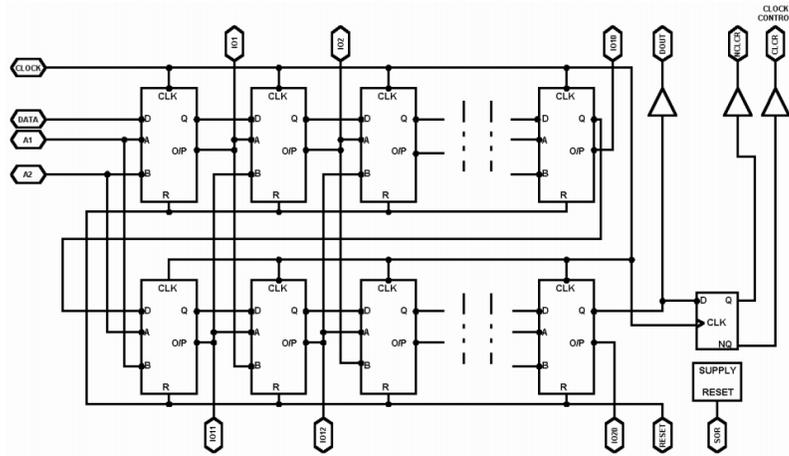
Fuente: Lattice Semiconductor, ispPAC Handbook: Programmable Analog Circuits, Sept. 1999.

1.3.3 CIRCUITOS FPADS DE ZETEX

Los circuitos FPADs de Zetex son principalmente los TRAC020 y TRAC020LH el cual es una versión del TRAC020 pero de baja potencia. En la siguiente figura se muestra el diagrama de bloques básico del TRAC0208.

⁸ TRAC, Totally Re-configurable Analog Circuit, Issue 2, Marzo 1999.

Figura 2. Diagrama esquemático del TRAC020.



Fuente: TRAC, Totally Re-configurable Analog Circuit, Issue 2, Marzo 1999.

El circuito TRAC se basa en una única celda analógica configurable, en la cual se puede realizar una programación flexible con el objeto de llevar a cabo diferentes funciones como: seguidor de voltaje, amplificación, diferenciación, adición, negación, logaritmo, antilogaritmo, integración y rectificación. Estas funciones son combinadas para implementar un sistema de acondicionamiento o procesamiento de señal.

Las funciones pueden ser configuradas en cada una de las celdas interconectables, para facilitar la configuración y el diseño de cualquier circuito analógico en el chip, esto ayuda a evitar los errores de muestreo y retardos de procesamiento.

1.3.4 CIRCUITOS FPAAS DE ANADIGM

Los circuitos FPAA de Anadigm son construidos implementando la tecnología CMOS; y permiten la implementación de funciones analógicas usando la técnica de diseño Switched-Capacitor (SC) y son el eje principal de nuestro estudio por lo tanto serán explicados más adelante en este documento.

2 TECNOLOGÍA DE CAPACITORES CONMUTADOS

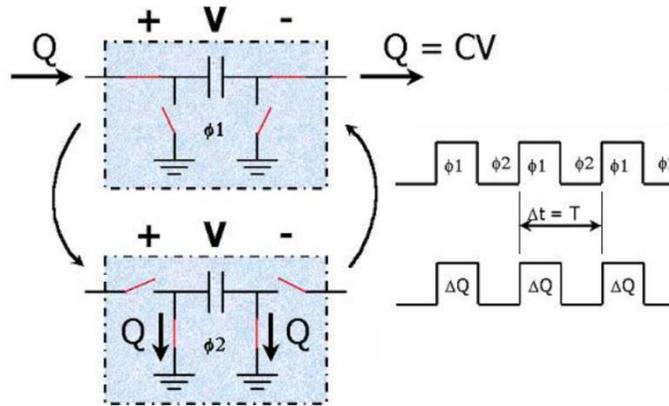
La amplia gama de aplicaciones modernas de circuitos electrónicos se mantiene en la búsqueda de nuevas técnicas de fabricación y diseño que permitan minimizar los costos y el tamaño de los circuitos y así optimizar su desempeño en dichas aplicaciones. Los capacitores conmutados surgen como respuesta a esta inquietud y abren paso a nuevos métodos de diseño de circuitos con mayor calidad que los circuitos clásicos.

Los circuitos SC (Switched-Capacitor) han sido utilizados desde hace varios años y su proceso de fabricación es bastante dominado. Su origen es alrededor de los años 80, respondiendo a la necesidad de sustituir las grandes resistencias, las cuales eran imposibles de acomodar dentro de los integrados que cada día reducían su tamaño y peso. De esta manera se fueron creando filtros con unas configuraciones que presentan la opción de ser programables y sintonizables.

La tecnología de capacitores conmutados⁹ es la técnica con la cual se pueden obtener resistencias equivalentes a partir de conmutar las entradas de un capacitor. Estas resistencias programadas pueden ser tanto de polaridad positiva como negativa. En la figura 3 se puede apreciar la forma como se configura un capacitor conmutado para obtener una resistencia equivalente.

⁹ Silva-Martinez J., Sánchez-Sinencio E.: Switched Capacitor Filters, In Handbook of Circuits and Filters, CRC Press, 2003

Figura 3. Conmutación de capacitores como sustitución de resistencias.



Fuente: www.national.com/an/AN/AN-779.pdf.

La corriente del sistema actual puede ser expresada por la siguiente ecuación:

$$I_{AVG} = \frac{\Delta Q}{\Delta t} = \frac{C \cdot V}{T} \quad \text{Ecu. 1}$$

donde C es la capacitancia y T es el período de conmutación.

Según la ley de Ohm se puede calcular la resistencia equivalente de la siguiente forma:

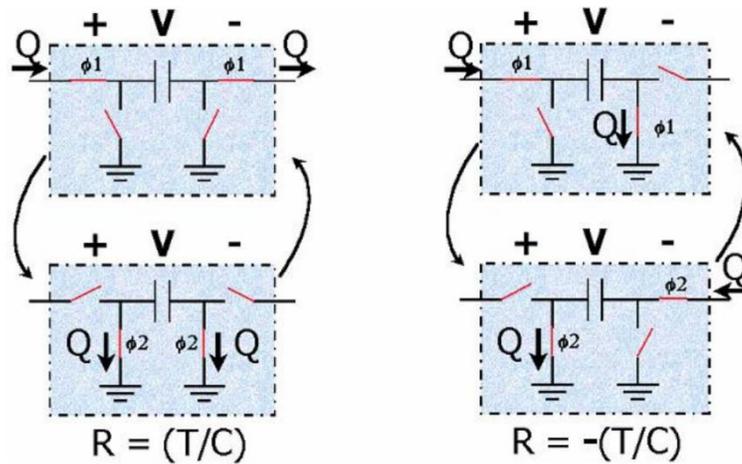
$$R = \frac{V}{I} = \frac{V \cdot T}{C \cdot V} = \frac{T}{C} = \frac{1}{f \cdot C} \quad \text{Ecu. 2}$$

Demostrando que la resistencia del sistema depende sólo del valor del condensador y la frecuencia de conmutación del circuito. Por lo tanto, cuando se trabaja con relaciones de resistencias, sólo se depende de los valores de los capacitores:

$$\frac{R_1}{R_2} = \frac{C_2 \cdot T}{T \cdot C_1} = \frac{C_2}{C_1} \quad \text{Ecu. 3}$$

Una ventaja importante de esta técnica es el cambio de fase y la posibilidad de aplicar una resistencia negativa.

Figura 4. Resistencia Negativa.

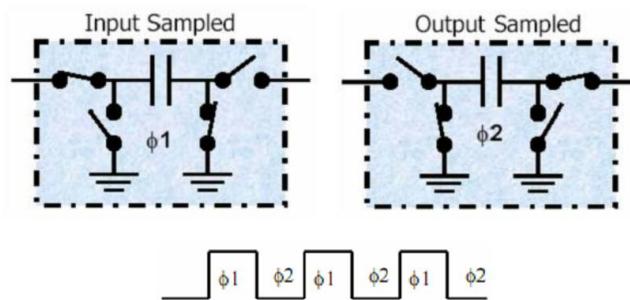


Fuente: www.national.com/an/AN/AN-779.pdf

En la segunda situación de la figura anterior, la corriente instantánea Φ_2 fluye en la dirección opuesta de la polarización recibida por el condensador en el momento Φ_1 , por lo tanto, la resistencia equivalente asume un signo negativo.

En la tecnología de capacitores conmutados en un sistema de muestreo analógico. Las señales de entrada y salida mostradas en la figura 5 se almacenan sólo durante la conmutación de Φ_1 a Φ_2 .

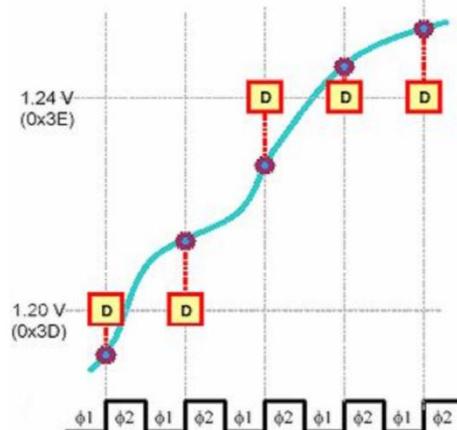
Figura 5. Sistema de muestreo analógico.



Fuente: www.national.com/an/AN/AN-779.pdf

La figura 6 muestra cómo se hace la conversión de una señal continua en una señal muestreada, que también se trata de una señal analógica, ya que puede tener cualquier cantidad de tensión.

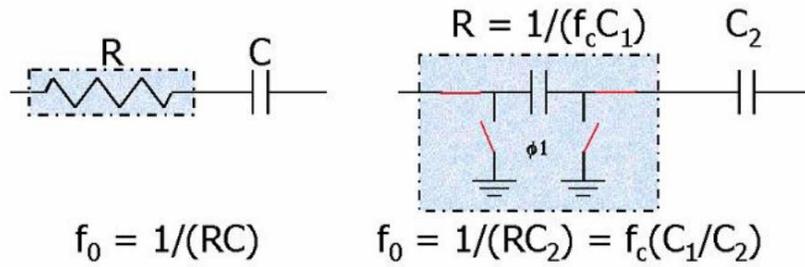
Figura 6. Gráfico de muestreo de una señal analógica.



Fuente: www.national.com/an/AN/AN-779.pdf

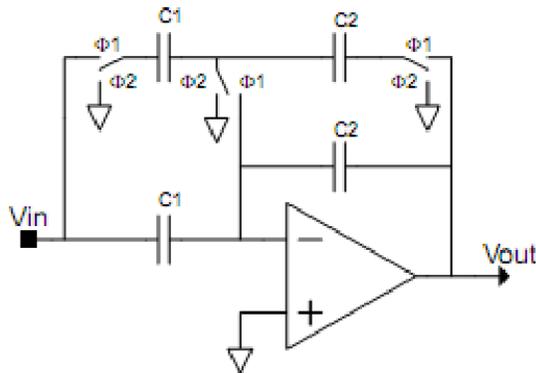
Otra aplicación de esta técnica es la construcción de filtros activos y configuraciones con amplificadores operacionales, como lo muestra la figura 7

Figura 7. Implementación de un filtro aplicando capacitores conmutados



Fuente: www.national.com/an/AN/AN-779.pdf

Figura 8. Amplificador inversor con capacitores conmutados



$$\frac{V_{out}}{V_{in}} = \frac{-R_2}{R_1} = \frac{-1/f_c C_2}{1/f_c C_1} = \frac{-C_1}{C_2}$$

Fuente: www.national.com/an/AN/AN-779.pdf

En el caso de los filtros, la frecuencia de corte se puede cambiar sólo cambiando la frecuencia de reloj. En cuanto a los amplificadores operacionales, se obtienen ventajas en cuanto a un mayor rendimiento en relación con la tensión de offset, ancho de banda, rapidez de respuesta, entre otros.

3 FPAAs DE ANADIGM

La Compañía Anadigm tiene dos familias de FPAAs, que están divididas en cuanto a su modelo de reconfiguración. La primera tiene reconfiguración estática, es decir, el dispositivo requiere un reinicio antes de cargar el flujo de bits (bitstream) de configuración. La segunda familia es dinámicamente reconfigurable, es decir, tiene la capacidad de reconfiguración dinámica en tiempo real, lo cual permite al dispositivo ser reconfigurado por el diseñador sin ser necesario reiniciar el sistema para cargar los cambios realizados.

Hasta la actualidad se han desarrollado tres generaciones de dispositivos, pero la primera generación ya no es comercializada por la empresa. La principal diferencia es el modelo de arquitectura.

Utilizando tecnología CMOS, todas las generaciones emplean la técnica de capacitancias conmutadas (SC) para la aplicación de resistencias en sus sistemas de muestreo. Esta técnica hace que el circuito sea menos vulnerable a los cambios en los procesos, y a las corrientes de parasitas, aumentando el rendimiento de la programación del dispositivo. La desventaja de esta técnica se debe a las limitaciones en el rango de frecuencia de funcionamiento del componente, ya que cuando se utiliza el método de muestreo la señal analógica de entrada debe cumplir con el teorema de muestreo de Nyquist, el cual nos dice que la frecuencia de la señal a muestrear debe ser como máximo la mitad de la frecuencia de conmutación del dispositivo.

3.1 IDENTIFICACIÓN

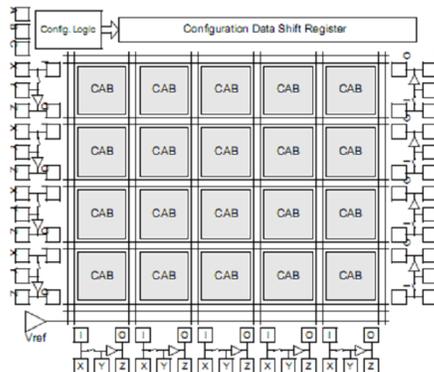
Para una óptima identificación de los chips FPAA las iniciales de los dispositivos suministrados por la compañía siguen las siguientes normas (a excepción de la primera generación):

Dónde ANxxxExx es el formato inicial, la primera “x” se refiere al tipo de reconfiguración, “1” para estáticas y “2” para dinámicas, la segunda “x” se refiere a la generación del producto, “2” para la segunda generación, “3” para la tercera generación, la tercera “x” se refiere a la interfaz de E/S y al convertidor ADC, “0” para E/S fijas y el convertidor AD exclusivamente interno, “1” para E/S flexibles y convertidor AD CAM y las dos últimas “x” se refieren a la cantidad de CABs disponibles en el componente.

3.2 PRIMERA GENERACIÓN

El único dispositivo de esta generación es la FPAA AN10E40, que la empresa no comercializa actualmente, pero nos ofrece más información en su web oficial. Su arquitectura se muestra en la Figura 9.

Figura 9. Arquitectura interna de una FPAA AN10E40.

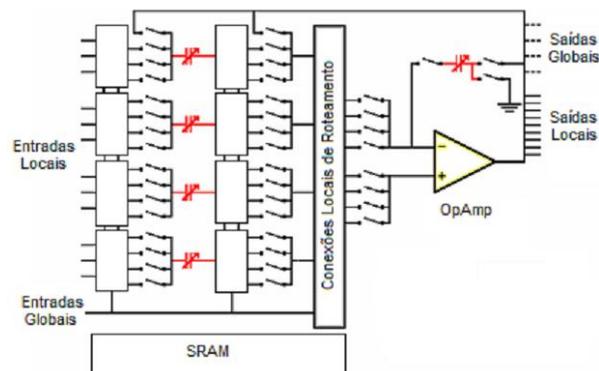


Fuente: Anadigm. AN10E40 Datasheet. Anadigm. 2002. www.anadigm.com.

El dispositivo está organizado como una matriz de 4x5 de bloques CAB (Configurable Analog Blocks), rodeado por una red de interconexiones programables globales y locales, lo que permite a una CAB conectarse a cualquier otro y en cualquier celda de la matriz de E/S. Los rieles verticales y horizontales también se pueden conectar entre sí a través de las llaves cross-over.

La lógica de configuración y registro de cambios trabajan juntos cada vez que la configuración del chip se encuentra en proceso. Las celdas programables de E/S se encuentran en los tres lados de la matriz de los CABs, obteniendo un total de 13 interfaces. El chip también contiene un generador de tensión de referencia programable. Todos los ajustes se almacenan en una memoria en el chip del tipo SRAM. La composición de cada CAB se puede ver en la Figura 10.

Figura 10. Arquitectura interior de un CAB.



Fuente: Anadigm. AN10E40 Datasheet. Anadigm. 2002. www.anadigm.com.

La programación de los CABs se logra a través de un juego de llaves, que son controlados por una memoria de configuración que se almacena en el shift register de programación. Las llaves se dividen en dos clasificaciones: estática o dinámica. Las estáticas programan un estado de conexión de programación (abierta o

cerrada), ya que las llaves dinámicas se utilizan en la aplicación de la conmutación de capacitores.

En cuanto a la alimentación del circuito, se alimenta con valor típico de 5 V, con una estructura completamente diferencial.

Las próximas generaciones de FPAA de Anadigm emplean el mismo principio de funcionamiento del chip AN10E40. Los cambios se incorporan en cuanto a las CABs, que se han vuelto más versátiles y funcionales, pero en menor número, las celdas de E/S, tienen un papel en el procesamiento de la señal, así mismo se les anexa una capacidad de multiplexación, y otras características adicionales, tales como la LUT (Look Up Table), convertidores AD, modificación del esquema en la configuración de memoria SRAM, y especialmente por el nuevo método de reconfiguración dinámica (dpASP).

3.3 SEGUNDA GENERACIÓN (ANX2XE04)

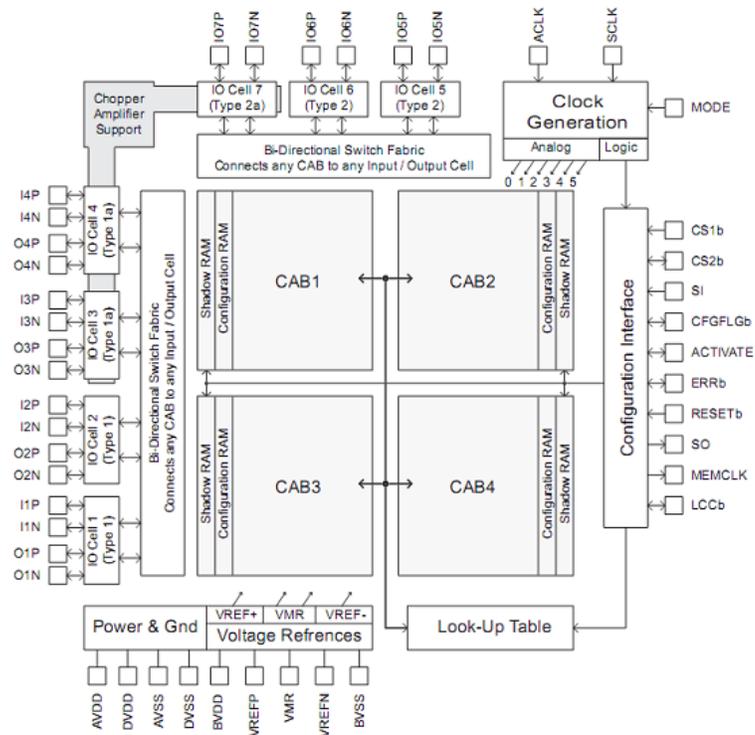
También conocida como AnadigmVortex, sus dispositivos emplean la arquitectura de Anadigm 5V, que se muestra en la Figura 11. En una primera observación, por sus siglas, se observa que se trata de un dispositivo con cuatro CABs interfaces dinámicas de reconfiguración y flexibilidad E/S.

El circuito integrado está formado por:

- 4 CABs (Configurable Analog blocks) en una matriz de 2x2.
- 7 Interfaces de E/S configurables, y uno con multiplexación de 4:1.
- 2 Interfaces de salida dedicada.
- 1 Tabla LUT (Look Up Table)

- 1 Convertidor AD tipo SAR (Successive Approximation Register) en cada CAB.
- 1 Bloque de generador de tensión de referencia.
- 1 Bloque de reloj del sistema.
- 1 Boque de interfaz de configuración

Figura 11. Arquitectura interna de una FPAA AN221E04.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

En general, los dispositivos AnadigmVortex consisten en una matriz de 2x2, CABs rodeados por una estructura de fuentes de interconexiones programables. En comparación con las FPAA de la primera generación, la arquitectura implementada en la familia AnadigmVortex proporciona una mejora significativa en la relación señal/ruido, así como un mayor ancho de banda. También tienen una

función para ajustar las funciones no lineales, tales como la linealización de la respuesta de los sensores, la síntesis de formas de onda arbitraria o procesos de auto-calibración. Este ajuste es realizado por la LUT, que es compartida por todos los CABs¹⁰

Otro cambio importante se debe a la configuración de la memoria. En este modelo, cada CAB almacena sus datos de configuración en una memoria SRAM propia, mientras que el modelo anterior tenía sólo un registro de cambio dedicada a la programación de todos los componentes.

Pero la mayor ventaja de este modelo es la posibilidad de reconfiguración dinámica, que permite que el dispositivo cargar una nueva configuración sin tener que reiniciar el sistema.

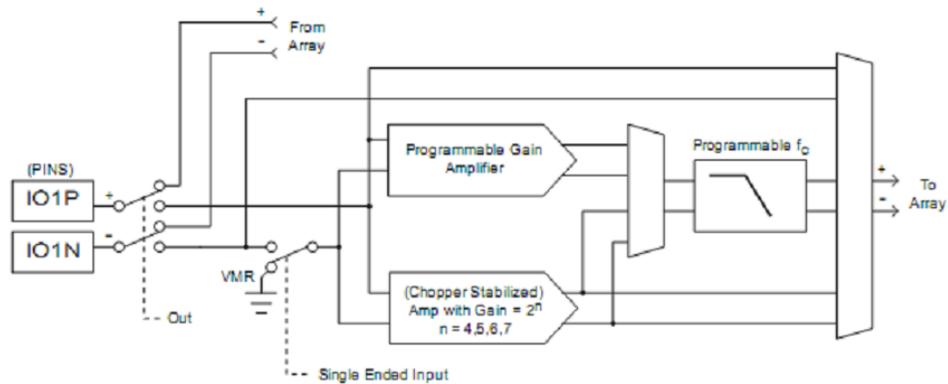
3.3.1 CELDAS DE E/S CONFIGURABLES

El dispositivo cuenta con cuatro celdas, de E/S configurables, cada una de las cuales contiene un conjunto de características que permiten una alta fidelidad en relación con el ambiente externo, sin necesidad de componentes adicionales. Para maximizar esta fidelidad, todo el procesamiento y enrutamiento de la señal en el interior del dispositivo está completamente basado en una señal diferencial, como se ilustra en la Figura 12.

Si el dispositivo detecta una señal de entrada diferencial, un interruptor interno se conectará al borne negativo del par de entrada diferencial a la tensión de referencia VMR (voltaje de referencia principal, que es el punto de referencia para todo el procesamiento interno de señales)

¹⁰ AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

Figura 12. Esquema de la celda de E/S configurable.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com.

La celda ofrece algunas funciones adicionales cuando se configura como entrada:

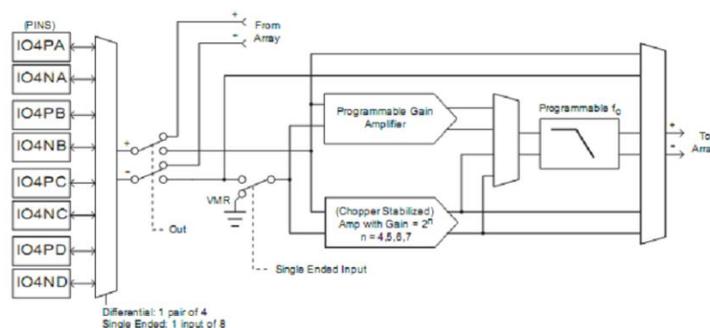
- Filtro anti-aliasing de segundo orden: como cualquier sistema de muestreo, a veces es necesario un filtro paso bajo para evitar el efecto de "aliasing". El filtro se puede colocar en modo de derivación o configurado a través de su frecuencia de corte. El fabricante recomienda que la relación entre la frecuencia de corte y la frecuencia máxima de la señal sea de al menos 30. Otra recomendación es utilizarlos sólo para las señales con una frecuencia de hasta 15 kHz.
- Amplificador con ganancia programable y estabilizador de tipo chopper opcional: esta característica reduce la tensión offset de entrada que normalmente se asocian con amplificadores operacionales y puede ser muy útil para aplicaciones donde la señal de entrada tiene una amplitud pequeña y requiere de una alta ganancia. La ganancia del amplificador puede ser programada como 2^n , donde n es un entero que puede variar de 4 a 7.

Cuando no se usa ninguna de estas características o cuando la celda está configurada como salida, es una conexión directa. Para la configuración de la celda en el modo de salida, se debe tener especial atención al cuidado de no sobrecargar el dispositivo, los amplificadores operacionales de los CAB no están diseñados para manejar cargas externas que presenten baja impedancia o muy altas capacitancias, lo que puede desestabilizar el sistema. Por lo tanto, se recomienda utilizar una resistencia mínima de 100 k Ω de carga externa, y una capacitancia máxima de carga externa de 100 pF. El fabricante no recomienda el uso de la celda de entrada en el modo directo, a menos que utilice una unidad de búfer de ganancia.

3.3.2 CELDA DE E/S MULTIPLEXADA:

Se dispone de un multiplexor bidireccional en una de las cuatro celdas de Entrada/Salida, que permite la conexión física de cuatro señales diferenciales de entrada o de salida, pero sólo una a la vez será procesada por la FPAA (ver Figura 13). Igualmente si en una celda de Entrada/Salida, no se detecta una fuente de entrada diferencial, el interruptor interno conecta la entrada negativa del par diferencial a la tensión de referencia VMR (Voltage Main Reference).

Figura 13. Esquema de la celda de E/S multiplexada.



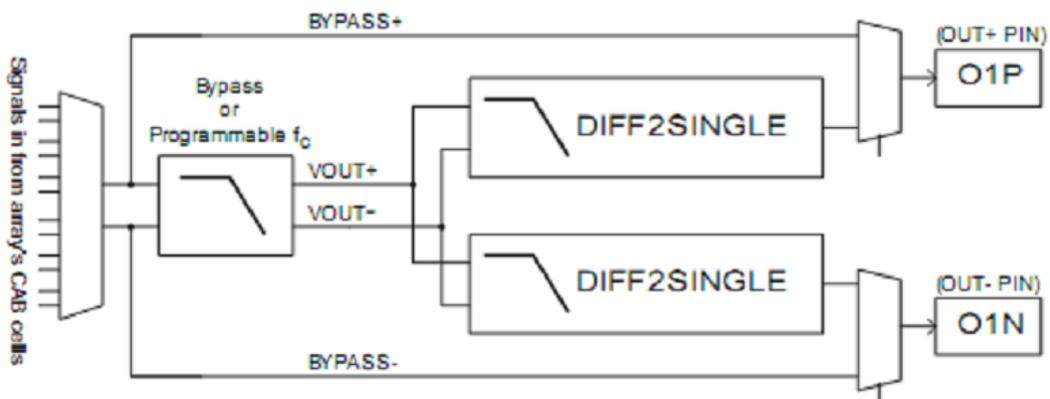
Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com.

3.3.3 CELDAS SALIDA DEDICADA

Las salidas dedicadas pueden proporcionar una señal digital o señales diferenciales analógicas de tensión (ver Figura 14). Como las celdas Entrada/Salida configurables presentan algunas características adicionales:

- Filtro anti-aliasing: idéntico a lo descrito anteriormente, la celda de Entrada/Salida, funciona como un filtro de reconstrucción de segundo orden.
- Filtro programable seguido por un convertidor de señal diferencial simple (DIFF2SINGLE): se puede elegir entre usar las tensiones VOUT+ y VOUT- como un par de señal diferencial o elegir sólo uno de ellos para obtener una sola señal de salida, en este caso la señal se hace referencia a la VMR y tienen la mitad de la amplitud de la señal diferencial.

Figura 14. Esquema de una celda dedicada salida.

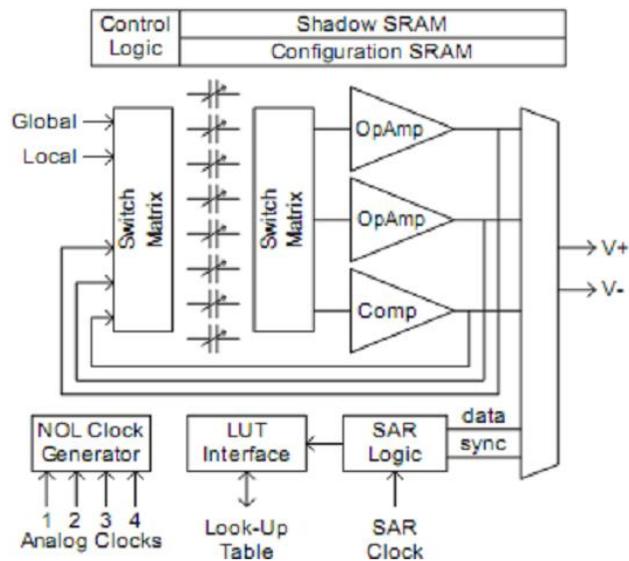


Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com.

3.3.4 BLOQUES ANALÓGICOS CONFIGURABLES (CABs)

La figura 15 muestra el esquema de la segunda generación de CABs. Se componen de tres elementos activos, dos amplificadores diferenciales de 50 MHz (OpAmp) y un comparador (Comp), ocho bancos de capacitores programables, un registro de aproximación sucesiva (SAR), que cuando está activado, usa el comparador incluido dentro del CAB para implementar un convertidor AD de 8 bits (SAR-ADC), una memoria de programación tipo SRAM y un bloque generador de señales de reloj no superpuestas (NOL Clock Generator), el cual se requiere para que el circuito funcione correctamente.

Figura 15. Arquitectura de un CAB de la segunda generación de FPAAs de Anadigm.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com.

Cada CAB cuenta con ocho bancos de capacitores programables. Cada uno es en realidad un banco gran capacitores de pequeña dimensión e igual tamaño, y pueden tomar un valor entre 0 y 255 unidades de la capacitancia

Entre las muchas llaves analógicas que cada CAB posee, algunas son estáticas y determinan las conexiones generales de la misma, los valores de los capacitores y cual entrada se activa. Otras llaves son dinámicas y pueden cambiar de acuerdo al control de una señal de entrada analógica, la fase del reloj seleccionado y la lógica SAR. Ya sea estática o dinámica, todas las llaves están controladas por la configuración SRAM.

Al reiniciar el sistema, la memoria SRAM se coloca en un estado seguro y conocido. La lógica de configuración transfiere los datos externos a la memoria SRAM común (Shadow SRAM), y luego lo copia en la memoria de configuración SRAM (Configuration SRAM).

La topología de cada CAB se realiza por matrices de conmutación (Switch Matrix), que son, por ejemplo, las conexiones de las entradas y salidas y la retroalimentación de los amplificadores operacionales.

3.3.5 TABLA DE BÚSQUEDA (LUT)

El dispositivo contiene una sola tabla de búsqueda (Look Up Table) de 256 bytes. Su dirección de entrada de 8-bit puede provenir de cualquiera salida de 8 bits SAR-ADC o de un contador LUT especial de 8 bits.

Si en el contador de LUT seleccionado, el contador hace la cuenta que continua creciendo, vuelve a cero cada vez que se asigne un valor pre programado. Cada valor nuevo cuenta por la LUT como una dirección. Los datos se leen en esta dirección se almacena en uno o dos destinos dentro de la memoria compartida (Shadow RAM). Los lugares de destino y el contenido de la LUT son parte de los datos de configuración del dispositivo. El reloj del contador LUT es alimentado por uno de los cuatro relojes analógicos internos. La posterior transferencia de

memoria compartida para la configuración de la memoria (Configuration SRAM) se puede producir de cuatro maneras: cuando el último byte de configuración es enviado (con un máximo de dos bytes), detectado por un cruce de cero interno, por un resultado del comparador o por un nivel alto de detección en el pin externo EXECUTE. Con un reloj periódico del contador LUT, una combinación LUT/CAB se puede formar un generador de onda arbitraria o temporalmente modular una señal.

Registro de aproximación sucesiva (SAR): Se incluyen dentro de cada CAB, el registro de aproximaciones sucesivas (Successive Approximation Register - "SAR") permite la construcción de un convertidor analógico-digital (ADC) por aproximaciones sucesivas. Se necesitan dos relojes con una proporción de 16 a 1. El reloj más lento (Clock A) determina la velocidad a la que se producen la conversiones sucesivas y su valor no debe exceder de 250 kHz. El reloj más rápido (Clock B) se utiliza para hacer la conversión. Estos relojes son generados a partir de un circuito divisor de reloj.

El resultado de la señal SAR representa la magnitud leída de la siguiente la forma (un bit de signo y siete bits de magnitud). Las entradas deben estar limitadas en $V_{MR} \pm 1,5 V$.

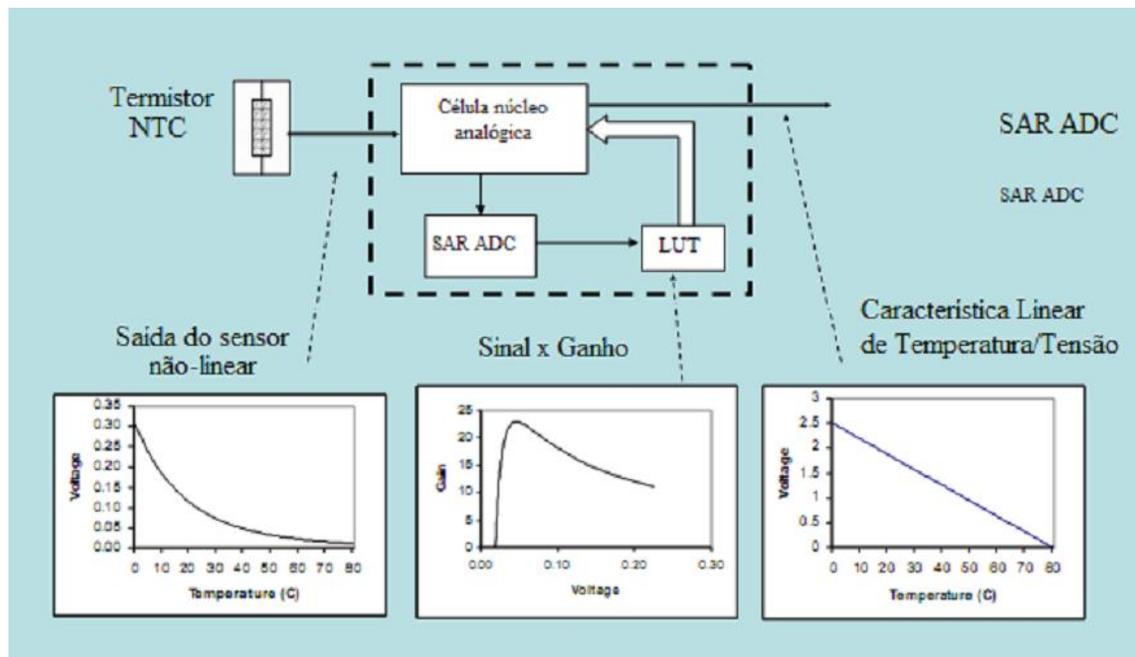
Hay dos posibilidades para dirigir el resultado del SAR-ADC: a una puerta de dirección de la LUT o devuelta a su propio CAB. El uso más común es el de generar una dirección para la LUT. Después de cada conversión, el resultado de 8 bits es reconocido por la LUT como una nueva dirección. Un circuito de configuración carga el contenido de la dirección apuntada por la LUT en uno o dos destinos en la memoria compartida (Shadow SRAM).

Un escenario de uso típico es cuando una señal de entrada precisa ser linealizada o calibrada. La señal externa es convertida por el SAR-ADC, y enviada a la LUT,

lo que apunta a una dirección de la configuración de la imagen del dispositivo que contiene la tabla de linealización. Empleando el mismo mecanismo descrito en el punto anterior (Tabla de búsqueda (LUT)), una nueva configuración sugerida por la LUT se carga en la memoria compartida de SRAM (Shadow SRAM), por ejemplo, la ubicación se puede ajustar la ganancia de los amplificadores operacionales.

Direccionando la salida SAR-ADC de nuevo a su propio CAB, se activa la generación de funciones analógicas no lineales como la multiplicación de tensiones, companding, y linealización (ver Figura 16) y control automático de ganancia. Otra alternativa es conectar directamente a las celdas de salida, en cuyo caso las interfaces se deben configurar en modo digital. Los datos se envían en serie en una secuencia de 8 bits iniciada por un MSB (Most Significant Bit).

Figura 16. Ejemplo de linealización de las señales de un sensor.

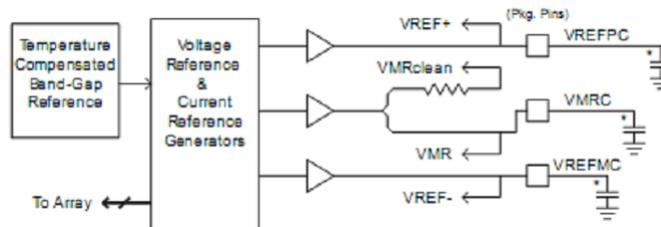


Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

3.3.6 TENSIÓN DE REFERENCIA

Todo el procesamiento de señales analógicas se realizado dentro del dispositivo tiene como referencia la tensión VMR (Voltage Main Reference), cuyo valor nominal es de 2,0 V. La señal de VMR se deriva de una fuente de referencia de alta precisión. Además, también están las tensiones de referencia VREF+ (1,5 V por encima de VMR), y VREF- (1,5 V por debajo de VMR), como se muestra en la Figura 17.

Figura 17. Esquema del circuito para generar la tensión de referencia.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

Para garantizar un rendimiento óptimo es necesario que los capacitores de filtrado externo conectado a los pines VREFPC, VMRC y VREFMC. Tengan un valor recomendado para cada uno de ellos entre 75 y 100 nF.

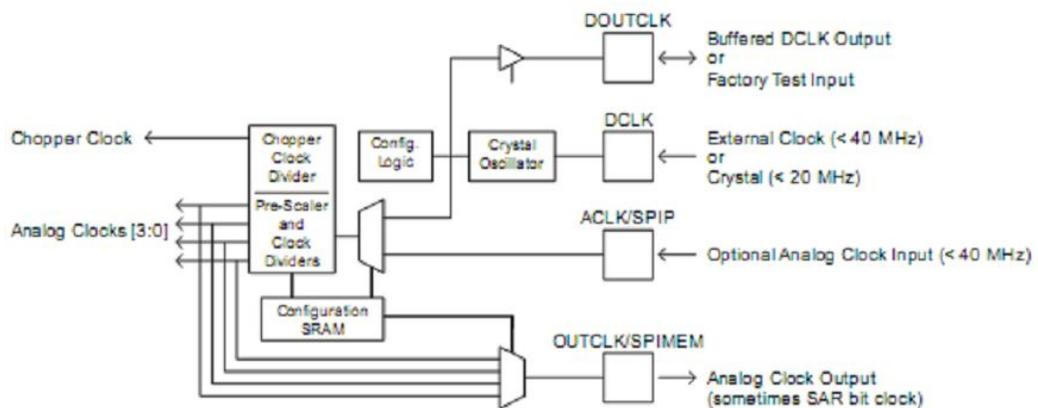
Para un mayor rendimiento, se recomienda el uso de capacitores que de baja inductancia en serie, como los de tantalio. Sin embargo, en la mayoría de los casos, los capacitores de cerámica estándar son adecuados.

3.3.7 EL RELOJ DEL SISTEMA

La Figura 18 proporciona una visión general de las características del reloj del sistema.

El reloj encargado de la lógica de configuración es siempre alimentado por el pin DCLK, que puede tener un reloj externo de hasta 40 MHz, o puede ser conectado a un cristal resonante, que no requiere programación. La conexión se verá en una oscilación espontánea en el pin DCLK.

Figura 18. Diagrama del circuito de generación de reloj.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

Todos los campos son registrados por un reloj maestro único, ya sea por ACLK o DCLK. Configurar este dispositivo determina que entrada de reloj será el reloj maestro. A su vez, el reloj principal se divide en cinco dominios únicos. El primero sólo se alimenta los amplificadores chopper estabilizados dentro de las celdas de Entrada/Salida. Los otros cuatro son impulsados por un prescaler programado por el usuario que se alimenta de cuatro divisores programables.

Cada una de estas áreas pueden ser utilizados para impulsar tanto la lógica SAR y la lógica de circuitos de conmutación de capacitores de los CAB. Los circuitos de generación de reloj se aseguran de que todos los relojes derivados de la señal de reloj principal se sincronizan en los límites del flanco de subida.

3.3.8 SISTEMA DE ARRANQUE (BOOT)

La programación de los elementos de del dispositivo se puede realizar por dos métodos: por un chip de memoria no volátil o microprocesador externo a través de un host. O métodos más simple de configuración del dispositivo de arranque a través de una memoria serial no volátil.

La FPAA es compatible con 25 series de EPROM SPI y 17 serie de memorias EPROM seriales. La siguiente tabla recogen las EPROM compatibles con la FPAA

Tabla 4. Lista de memorias EPROM compatibles con el chip AN221E04 FPAA.

EPROMs SPI Série 25		EPROMs Seriais Série 17	
Fabricante	Modelo	Fabricante	Modelo
Atmel	AT25080	Xilinx	XC1700E
Xicor	X5043	Atmel	AT17 series
Microchip	25AA160	Altera	ECP1, ECP2
Fairchild	NM25C640	-	-

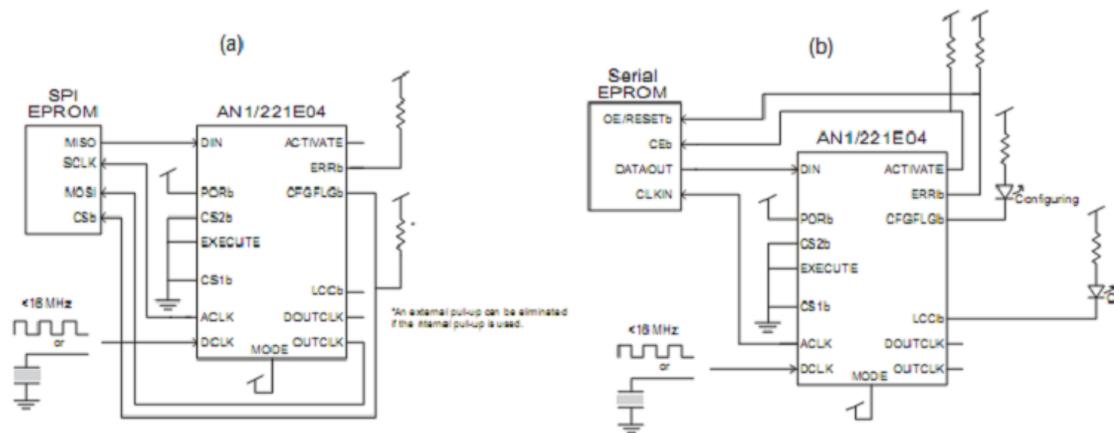
Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

Cuando el sistema es encendido, el dispositivo primero realiza un reset interno, luego comprueba el estado de los pines CS1b y CS2b, si están bien configurados,

se envía una señal para leer los datos de la EPROM. Una vez realizada la lectura, el dispositivo enciende automáticamente los circuitos analógicos y envía los datos a la memoria compartida de SRAM (Shadow SRAM). Pero sólo empieza a correr la configuración recibida después de transferir los datos a la memoria compartida de configuración (Configuration SRAM), que se realiza de forma automática en un solo ciclo de reloj.

La figura 19 muestra el diagrama de cableado de la FPAA con una memoria EPROM SPI y EPROM serie, respectivamente.

Figura 19. Esquema de conexión de la EPROM con la FPAA AN221E04



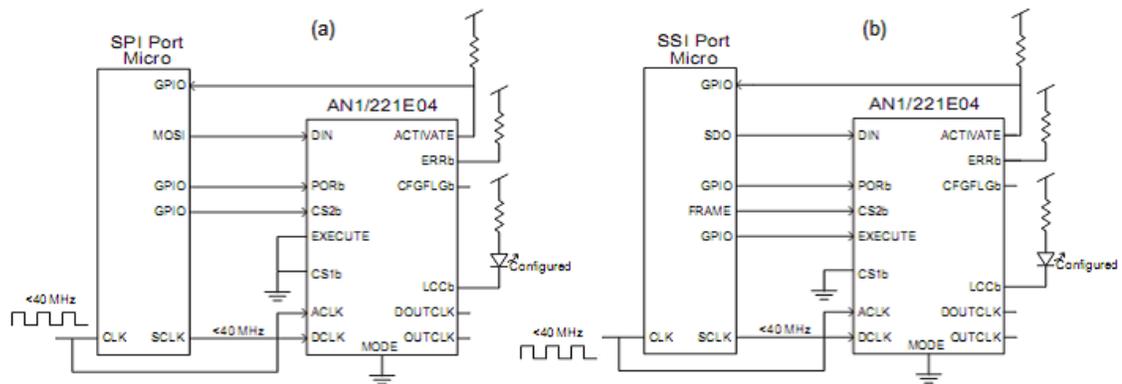
Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

En las aplicaciones que utilizan un microprocesador, el dispositivo acepta entradas de las tres formas más comunes de la interfaz de microprocesadores: interfaz síncrona serial (SSI), interfaz periférica serial (SPI) o la interfaz de bus de periféricos externos.

Las interfaces SPI y SSI son las mismas. Existe una señal para indicar la recepción de datos, una línea de datos seriales y un reloj de datos en serie. La única diferencia entre las dos conexiones son los nombres y la frecuencia en el que el host puede conducirlos. Funcionalmente, estos dos esquemas de conexión son los mismos.

En la Figura 20 a continuación tiene un esquema de las dos interfaces

Figura 20. Conexión de la FPAA para la interfaz con un microprocesador (a) SPI y (b) SSI.



Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

La línea de conexión ACTIVE de la FPAA es un feedback a para el host a través de un pin de propósito general Entrada/Salida (GPIO) para proporcionar una indicación de que la configuración se ha realizado correctamente.

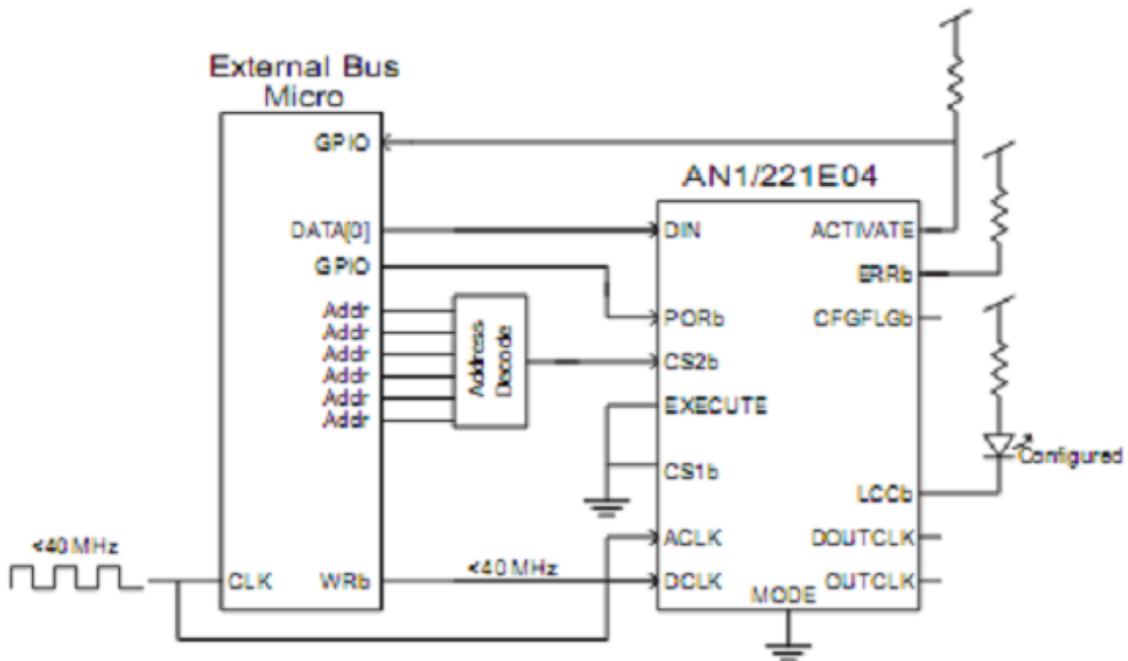
En la interfaz del bus de periféricos externos es síncrona, pero la instalación no requiere que el reloj de configuración sea interrumpido, por eso es posible definir un reloj de interface de configuración o una señal strobe (señalizador) de escritura de memoria de datos externa (WR) típica en la mayoría de los microprocesadores

La Figura 21 muestra un esquema de conexión de la interfaz.

Hay varias opciones disponibles para accionar el pin CS2b. En este ejemplo se utilizo algunos niveles de dirección decodificados por un equipo externo. Muchos microprocesadores disponen de salidas de selección de chip (chip select), que son generalmente adecuados para accionar el pin de entrada CS2b.

Al igual que en las interfaces SSI y SPI, los pines ACTIVE o ERRb pueden ser monitoreados para confirmar la transferencia de datos de configuración.

Figura 21. Conexión de la interfaz del bus de periféricos externos.

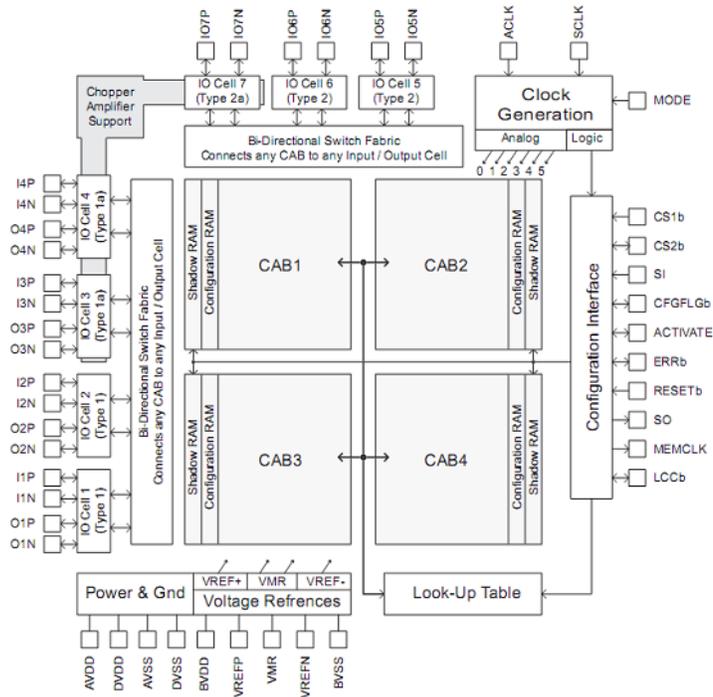


Fuente: AN221E04 Datasheet. Anadigm. 2003. www.anadigm.com

3.4 TERCERA GENERACIÓN (ANX31E04)

El nombre de esta familia es AnadigmApex, sus dispositivos emplean la arquitectura de Anadigm 3.3V, que se representa en la figura 22:

Figura 22. Arquitectura Interior de la FPAAN231E04



Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

En esta sección se abordará, específicamente, las configuraciones del chip AN231E04 de Anadigm, que también tiene la capacidad de reconfiguración dinámica (dpASP), es decir, el comportamiento del componente se puede modificar si bien es parcial o totalmente operativo, lo cual permite que un microprocesador host envíe los nuevos datos de configuración dpASP, mientras

se ejecuta la configuración anterior. Una vez que un nuevo dato es cargado, el nuevo procesamiento señal analógica se produce en un solo ciclo de reloj.

La topología general de este chip se basa en la arquitectura de las generaciones anteriores. Las principales diferencias están en relación con el mayor número de celdas de Entrada/Salida con mayor capacidad de configuración y los recursos disponibles, además de pequeños cambios en el reloj del sistema.

El circuito integrado está formado por:

- CABs (Configurable Analog Blocks) dispuestos en una matriz de 2x2.
- 7 interfaces de Entrada/Salida configurables
- 1 tabla LUT (Look Up Table)
- 1 convertidor AD tipo SAR en cada CAB
- 1 de bloque de generador de tensión de referencia
- 1 bloque de reloj del sistema
- 1 bloque de interfaz de configuración

La mayor parte del procesamiento de la señal análoga se produce dentro de las CABs. Ellas comparten el acceso a una sola tabla de búsqueda (LUT), que proporciona un método de ajuste, en respuesta a una base de la señal o el tiempo, de cualquier elemento dentro del dispositivo programable.

Hay tres regiones de la memoria SRAM volátiles dentro del dispositivo. La primera memoria compartida (Shadow SRAM), es la memoria que recibe la grabación durante la configuración o reconfiguración. La memoria compartida sirve como un área de almacenamiento temporal para los datos de configuración antes de ser transferirlos a la memoria de configuración (Configuration SRAM). La segunda memoria, es la memoria de configuración, esta controla el comportamiento de los circuitos de procesamiento de la señal analógica. La transferencia de la memoria

compartida a la memoria de configuración se produce en un solo ciclo de reloj, lo que minimiza la interrupción de los caminos de las señales analógicas. La tercera memoria es en si misma tabla de búsqueda (LUT).

La LUT proporciona valores de reemplazo para las ubicaciones de memoria de configuración. La combinación de CAB-LUT puede ser usada para crear funciones no lineales, como la síntesis de la forma de onda arbitraria y o una tabla con una función de linealización de sensores.

Un generador de tensión de referencia proporciona tensiones de referencia para cada una de las CABs además el dispositivo tiene un contacto para la conexión externa de capacitores de filtrado. De esta manera se opone a la necesidad de cualquier circuito externo para generar la tensión de referencia.

Las señales analógicas se dirigen desde y hacia el dispositivo por las celdas de Entrada/Salida disponibles, y dos de Tipo 1, dos de Tipo 1a, dos de Tipo 2 y uno de Tipo 2a.

Los Tipo 1 y Tipo 1a son celdas de Entrada/Salida que contienen circuitos activos y pasivos que permitan: la entrada y salida directa de las señales, la construcción de filtros activos, circuitos de Sample & Hold, entradas y salidas digitales.

Los Tipo 2 y Tipo 2a son celdas de Entrada/Salida más sencilla y se pueden aplicar a la entrada y salida directa de señales, a la salida de tensión de referencia y como entrada y salida digital.

Cualquiera de las celdas Tipo 1 y Tipo 2a pueden tener acceso a los amplificadores tipo chopper especializados, lo cual permite la amplificación con precisión de las señales de entrada con un nivel de energía muy bajo.

3.4.1 CONEXIÓN TÍPICA INTERFAZ DE CONFIGURACIÓN

El comportamiento de los circuitos de procesamiento de señal analógica dentro del dispositivo está determinada por el contenido de la memoria de configuración volátil SRAM.

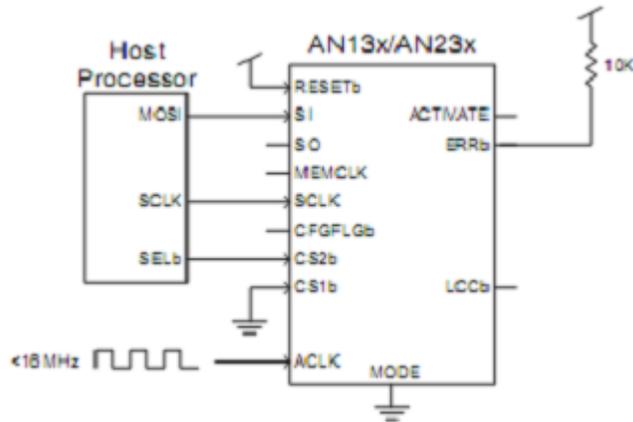
En el momento en que se reinicie, el dsASP borra su memoria colocando el dispositivo en una condición segura, y está listo para recibir datos de configuración.

A la interfaz de configuración se puede presentar un dispositivo de datos en serie, ya sea como maestro o esclavo.

Como un esclavo, el dispositivo es compatible con la señalización SPI de un microprocesador host. Este es el medio más poderoso de la aplicación, porque de esa manera se puede llevar a cabo la reconfiguración dinámica (on-the-fly) de los circuitos de procesamiento de señal analógica tantas veces como sea necesario sin tener que reiniciar el sistema (ver Figura 23).

Los cambios pueden ser un pequeño ajuste de la ganancia de frecuencia de corte, o puede implicar la transformación del comportamiento del dispositivo entero, por ejemplo, la configuración de un transmisor a un receptor.

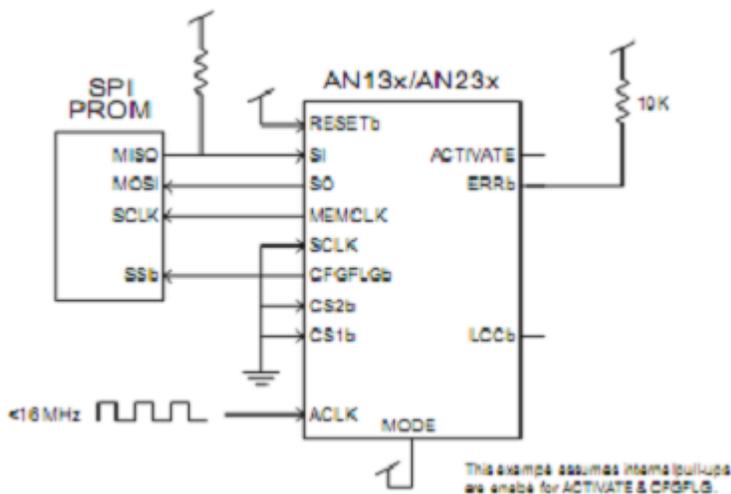
Figura 23. Configuración de la FPAA como esclavo, recibiendo datos de un procesador host.



Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

Configurado como maestro, el dpASP trabaja en régimen estático, después de un reinicio manual, ira detectará automáticamente a detectar su accionamiento, se auto reinicia, recibe sus datos de configuración de la memoria SPI PROM estándar y comienza a procesar las señales analógicas (ver figura 24).

Figura 24. FPAA configurada como maestro, leyendo datos de un procesador host.



Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

3.4.2 CELDAS DE ENTRADA/SALIDA TIPO 1 Y TIPO 1A

Estas celdas de Entrada/Salida ofrecen una gran flexibilidad para las señales que entran y salen de las CABs. Las celdas disponen de algunos recursos para el acondicionamiento de la señal. En la Figura 25 se resumen las opciones disponibles

Figura 25. Características de las celdas de Entrada/Salida Tipo 1 y Tipo 1a.

Bypass I/O	Differential Input Differential Output
Digital I/O	Differential Input Differential Output
Analog Input	Amplifier, or Differential Low Offset Chopper Amplifier (type 1a IO cell only), or Sample and Hold, with options for input: Differential Inverted Differential Single Ended Positive Single Ended Negative
Analog Output	Differential Amplifier Differential Sample and Hold
VMR Output	Internal signal reference (1.5 V) presented on both pins.

Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

El amplificador tipo chopper para las entradas analógicas incluye una ganancia programable de 0 a 40 dB, en pasos de 10 dB.

3.4.3 CELDAS DE ENTRADA/SALIDA TIPO 2 Y TIPO 2A

Las características de condicionamiento de las señales de entrada y salida se describen en la Figura 26.

Figura 26. Características de las celdas de Entrada/Salida Tipo 2 y Tipo 2a.

Bypass I/O	Differential Input Differential Output
Digital Input	Single Ended Input (two per IO Cell)
Digital Output	Single Ended Output (two per IO Cell) Chip Clock Comparator RAM Transfer Done
Analog Input	Low Offset Chopper Amplifier (type 2a IO cell only)
VMR Output	Internal signal reference (1.5 V) presented on both pins.

Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

La salida digital de estas celdas pueden configurarse para reflejar uno de los seis relojes internos, un comparador, salida ADC-SAR o una señal para indicar la finalización de la transferencia de la memoria compartida en la configuración de la memoria (Shadow SRAM). La polaridad de las señales de salida es programable.

El amplificador tipo chopper para las entradas analógicas tiene una ganancia programable en el rango de la marcha de 0 a 60 dB en incrementos de 10 dB.

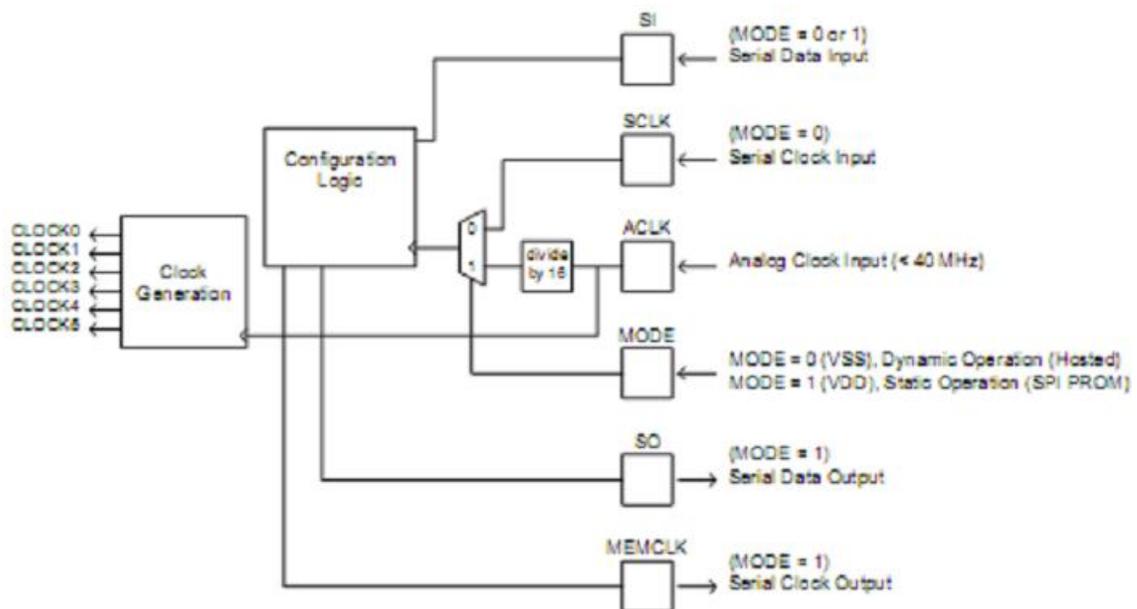
3.4.4 GENERADOR DE SEÑALES DE RELOJ

Todo el procesamiento de señal del reloj dentro del dispositivo se deriva de la señal analógica del reloj maestro conectada al pin ACLCK. La señal ACLK se divide en dos sistemas básicos de reloj (SYS1, SYS2) y se puede ser usar un factor de división entre 1 a 510. Estos dos relojes se subdividen en seis dominios adicionales: de CLOCK0 a CLOCK5.

Cada uno puede utilizar como base el sistema básico de reloj SYS1 o SYS2 y se puede emplear un factor de división de 1 a 150. El CLOCK5 y el CLOCK6 tienen un retardo de fase arbitraria que puede ser configurado para oscilar entre 0° y 360°.

Con la existencia de estos dos relojes es posible crear dos circuitos independientes de procesamiento de señal analógica en un único dispositivo (ver figura 27).

Figura 27. Sistema de generación de reloj de la tercera generación de FPAAs.



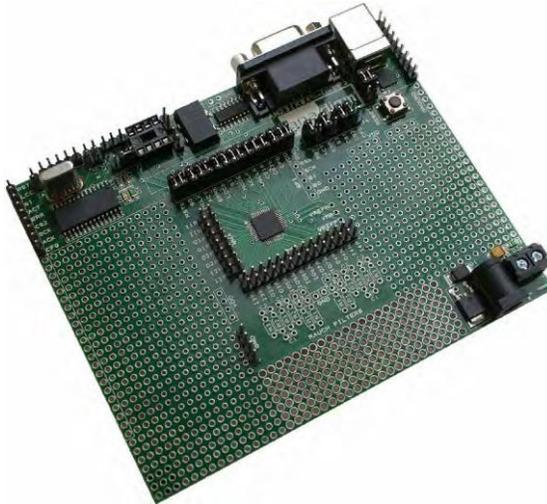
Fuente: AN231E04 Datasheet. Anadigm. 2008. www.anadigm.com

4 KIT DE DESARROLLO AN231K04-DVLP3

Para la implementación del proyecto se hizo la adquisición de un kit de desarrollo con el objetivo de hacer más fácil la interacción del usuario con la tecnología

Dicho kit es el “AN231K04-DVLP3 – AnadigmApex Development Board”, en la figura 28 podemos ver el kit.

Figura 28. AnadigmApex Development Board



Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

4.1 ANADIGMAPEX DEVELOPMENT BOARD

La tarjeta de desarrollo de AnadigmApex es una plataforma fácil de usar diseñada para ayudar al usuario a la hora de empezar a trabajar con la aplicación y realizar pruebas de sus diseños analógicos en los dispositivos de Anadigm.

A pesar de que el dispositivo instalado en esta plataforma de desarrollo es un chip AN231E04, se puede utilizar la tarjeta para implementar todos los diseños basados en el chip AN131E04 y el chip AN231E04. El software de diseño AnadigmDesigner2 (AD2) puede utilizar el chip AN231E04 a para emular el chip AN131E04, lo que permite probar de forma instantánea los diseños para cada dispositivo en la familia de dispositivos de AnadigmApex.

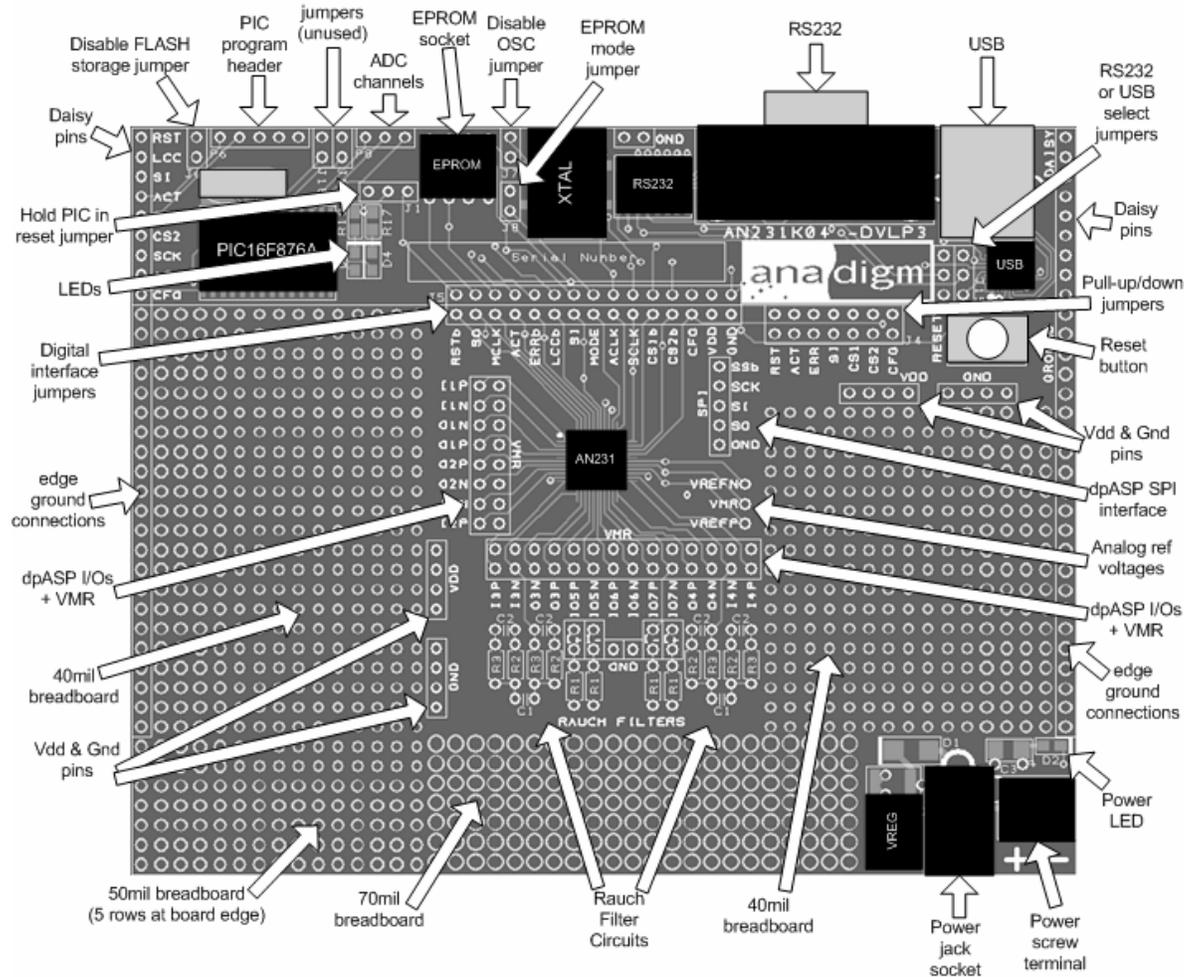
Las características de la tarjeta de desarrollo AN231K04-DVLP3 de AnadigmApex se enuncian a continuación:

- Una interfaz serial USB para descargar los archivos del circuito realizado en el software AnadigmDesigner2.
- Diseño compacto de 4.8 x 3.8 pulgadas.
- Una gran área alrededor del chip AN231E04, para pruebas con circuito externos.
- Pines de conexión para todas las celdas de Entrada/Salida analógicas.
- Separación, eléctrica y física, de la sección digital.
- Esquema circuital para la configuración de filtros tipo Rauch.
- Función de Daisy chain (permite la conexión de múltiples tarjetas en cascada para evaluar los sistemas multichip).
- Una interfaz serial estándar (RS232) para descargar los archivos del circuito realizado en el software AnadigmDesigner2.
- Un oscilador de 16 MHz.

4.2 DISEÑO DEL KIT AN231K04-DVLP3

La figura 29 muestra el diseño de la Tarjeta, lo que permite la fácil ubicación de todos los componentes, conexiones de alimentación y puentes de interconexión (jumpers).

Figura 29. Diseño de la cara superior AN231K04-DVLP3



Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

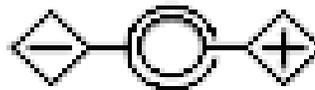
4.3 FUENTE DE ENERGIZACIÓN DEL KIT AN231K04-DVLP3

Las opciones de alimentación de la tarjeta se describen a continuación:

- Conector para adaptador de voltaje tipo jack de 5.5 mm con tensión entre +4V y +12 v por el carril central (ver figura 30)
- Conector de cables externos de suministro regulado de tensión entre +4V y +12V.

Un LED verde indica que la tarjeta está correctamente energizada.

Figura 30. Conexión tipo jack de +4 V o +12 V



Fuente: Autor

4.4 PROGRAMACIÓN LA FPAA

Para programar la FPAA es necesario establecer una conexión PC-Tarjeta, Es posible conectar físicamente los cables USB y el RS232 al mismo tiempo, sin embargo, sólo uno es necesario; al conectar la tarjeta es preferible usar la conexión RS232, por recomendación del fabricante.

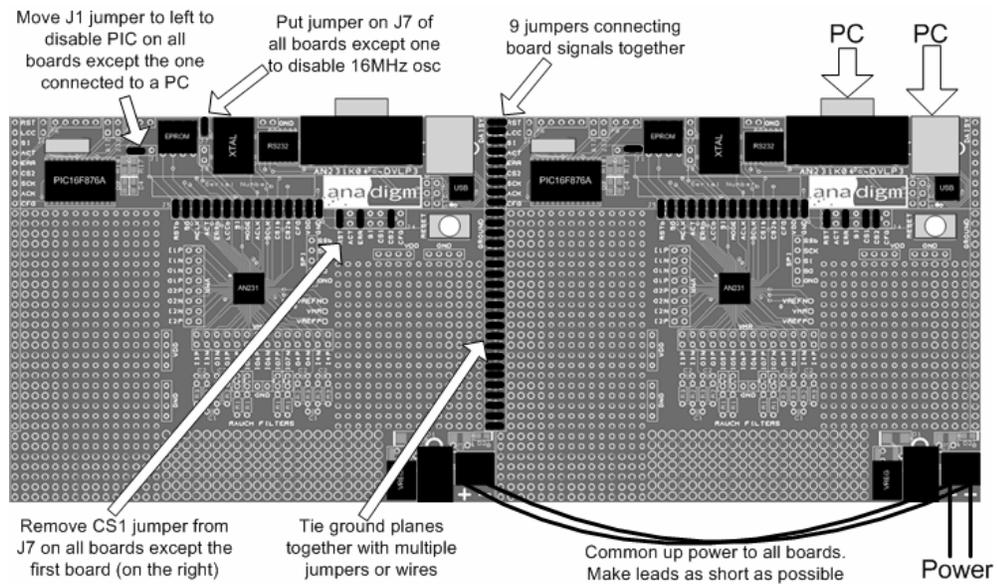
Al conectar la tarjeta por medio del cable RS232 se debe comprobar que la posición del jumper J15, debe estar en la posición superior. Si al programar la tarjeta con el software AnadigmDesigner®2 se iluminará el LED verde, esto indica que la conexión y configuración es correcta. Si el LED rojo se enciende, la configuración es incorrecta.

Para programar la tarjeta por medio de una conexión USB se debe tener en cuenta el mismo proceso realizado con el cable RS232, pero la posición del jumper J15, debe estar en la posición inferior.

4.5 EVALUACIÓN DE DISEÑOS MULTICHIP

La figura 31 se muestra un ejemplo de cómo encadenar 2 placas. Las placas más pueden ser conectadas utilizando las instrucciones que aparecen en esta figura.

Figura 31. Conexión de dos o más tarjetas.



Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

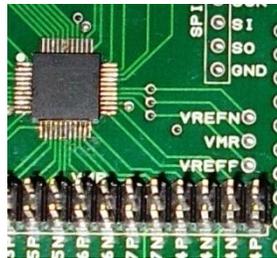
4.7 OTRAS CARACTERÍSTICAS

4.7.1 PINES DE TENSIÓN DE REFERENCIA

El dispositivo nos proporciona tres pines de referencia dpASP que son: VMR (+1.5V), VREFP (+2.5 V) y VREFN (+0.5V) estos están conectados al chip principal y a los terminales ubicados a la derecha del chip (ver figura 32).

Nota: Estos voltajes de referencia no están diseñados para proporcionar corriente.

Figura 32. Pines VREF



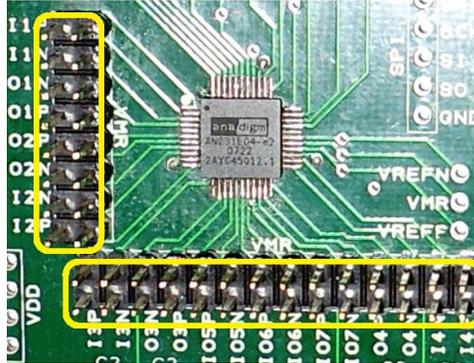
Fuente: Autor.

4.7.2 PINES DE CONEXIÓN ENTRADA/SALIDA

Todas las Entrada/Salida analógicas de la FPAA se llevaron a un conector de pines de fácil conexión (ver figura 33). Junto a estos pines se encuentra una segunda fila de pines de que están conectados a VMR (+1.5 V). Esto permite al usuario conectar VMR a cualquier Entrada/Salida analógica mediante jumpers, resistencias o capacitores debidamente cableados.

Advertencia: Si una celda de Entrada/Salida está configurada como entrada y se acopla a VMR, se producirá un corto que puede presentar daños al dispositivo.

Figura 33. Pines Entrada/Salida



Fuente: Autor

4.7.3 EPROM

Hay un socket para una SPI EEPROM de ocho pines en la Tarjeta. Esta no es suministrada con este Kit de desarrollo. El fabricante recomienda la memoria Atmel AT25080.

4.7.4 BOTÓN DE REINICIO

Hay un botón de reinicio (*reset*) en la tarjeta, al accionarlo se restablece tanto la configuración de la FPAA como el PIC

4.7.5 PUERTO SPI

Hay un puerto SPI para realizar un control directo sobre la FPAA, mediante un controlador externo de SPI. Para esto se deben eliminar todos los puentes (jumpers) de J5.

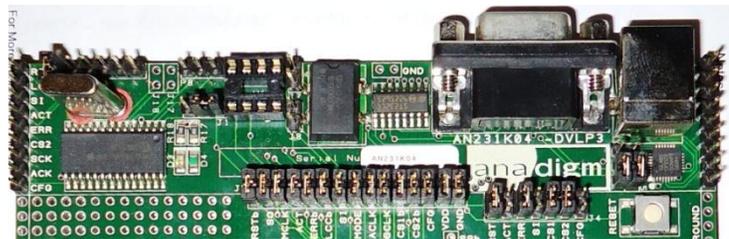
4.7.6 SECCIÓN DIGITAL

El objetivo de esta sección es brindar una práctica interfaz (serial) de la Tarjeta con un PC, esto para habilitar la creación instantánea de prototipos provenientes del software AnadigmDesigner2, normalmente FPAA no requiere esta interfaz, ya que se puede programar directamente desde una interfaz SPI.

Esta sección incluye un modulo de comunicación RS-232, un modulo de comunicación USB y un microcontrolador PIC. Además de LEDs indicadores de estado.

La sección digital se encuentra a lo largo de la parte superior de la Tarjeta y está conectada con la FPAA por un conjunto de puentes (jumpers) J5 (ver figura 34).

Figura 34. Sección Digital.



Fuente: Autor

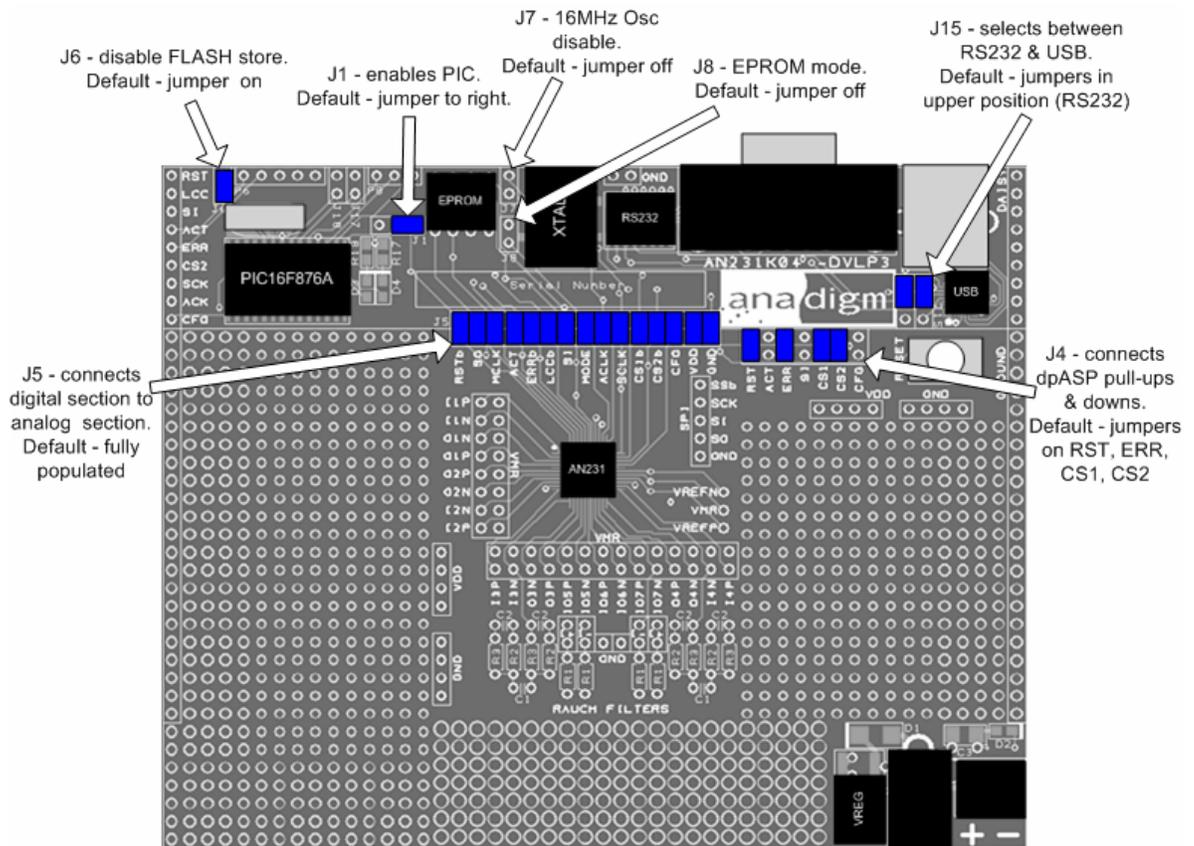
4.7.7 MEMORIA FLASH

El microcontrolador dispuesto en la tarjeta contiene una memoria FLASH, que almacena todas las configuraciones enviadas a la Tarjeta, de la última configuración programada. Esto siempre y cuando el puente (jumper) J6 este desconectado.

4.7.8 PUENTES (JUMPERS)

En la tarjeta existen varios puentes (jumpers) que son necesarias para el buen funcionamiento del dispositivo. En la figura 35 se puede observar la configuración predeterminada de los mismos. (En los anexos se adiciona una tabla con la descripción específica de cada uno de los puentes (jumpers)).

Figura 35. Posiciones de puentes para la configuración predeterminada.

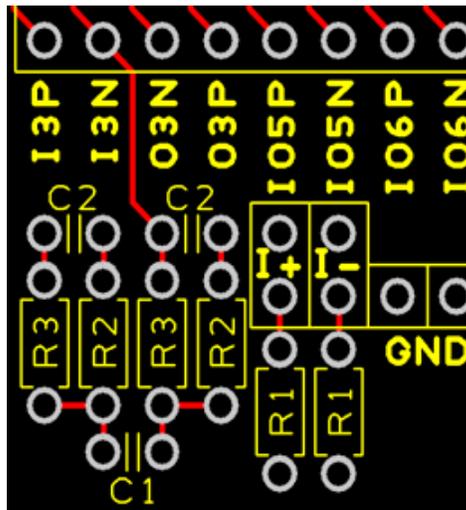


Fuente: Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

4.7.9 FILTROS RAUCH

La tarjeta AN231K04 dispone de filtros Rauch, en dos entradas diferenciales de señal analógica. En la figura 36 se detalla un circuito de filtro de Rauch. Estos se pueden implementar fácilmente mediante la adición de componentes en los sitios marcados en la tarjeta. Para una interpretación del plano circuital consulte el anexo.

Figura 36. Disposición física de un filtro Rauch.



Fuente: Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

5 TUTORIAL DE DESCARGA E INSTALACIÓN DE ANADIGMDESIGNER®2

El software ANADIGMDESIGNER®2 puede ser descargado gratuitamente del enlace: [http:// www.anadigm.com](http://www.anadigm.com), para descargarlo se debe registrar (*Create Account*), una vez inscrito se autoriza la descarga del paquete y le envían a su correo la licencia del software. Para la instalación se recomienda estar conectado a la red.

Nota: Para este proceso no es necesario que se registre, ya que suministramos el siguiente usuario:

User ID: jairoh

Password: upb2010 (ver, Figura 37).

Para iniciar la descarga debemos hacer un clic en el hipervínculo “*Free Software Download*” (ver, Figura 37).

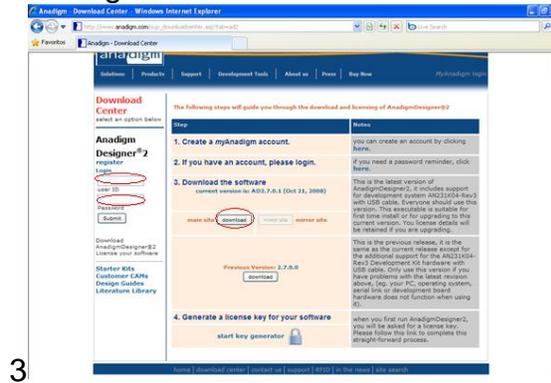
Figura 37. Enlace <http://anadigm.com>



Fuente: Autor

En la siguiente ventana debemos iniciar el registro del UserID para habilitar la descarga, posteriormente ejecutamos la opción Download.

Figura 38. Registro y Descarga



Fuente: Autor

A continuación hacemos un clic en la opción guardar y elegimos el destino donde va a descargar el Setup (recomendamos que lo guarden en el escritorio debido a que necesitamos ejecutar el Setup para instalar el software en la PC).

Figura 39. Inicio de Descarga



Fuente: Autor

Al terminar la descarga en la Pc descomprimen el archivo Setup.

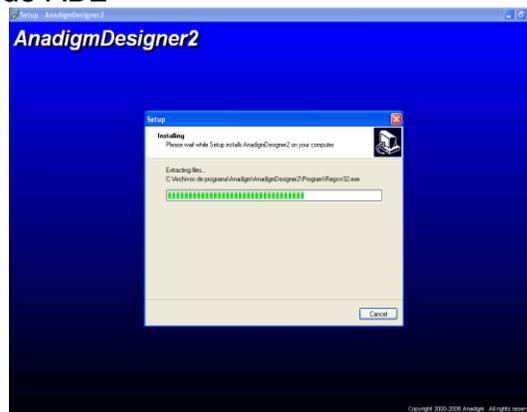
Figura 40. Ubicación del archivo Setup



Fuente: Autor

Al ejecutar el archivo setup automáticamente abre la ventana de instalación donde eventualmente debemos hacer clic en la opción next para tener una instalación exitosa.

Figura 41. Instalación de AD2



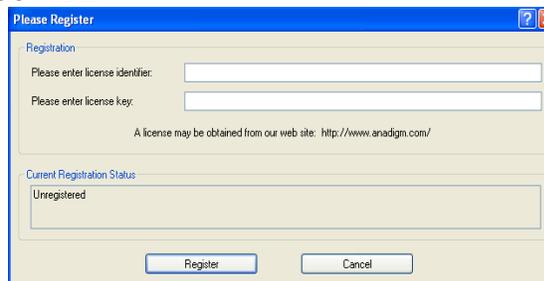
Fuente: Autor

Figura 42. Visualización del icono AD2



Fuente: Autor

Figura 43. Registros de AD2



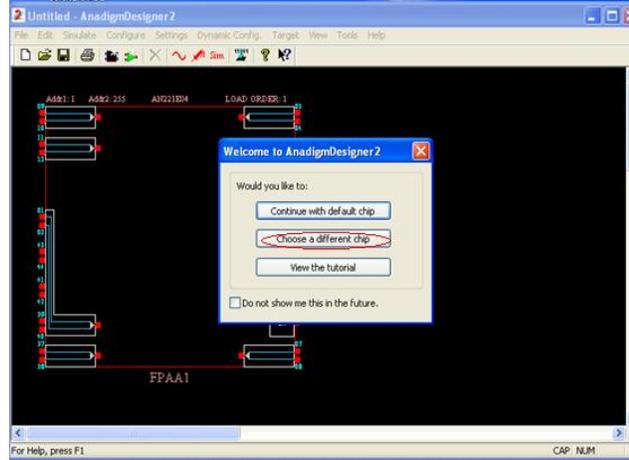
Fuente: Autor

Ingresar la siguiente licencia:

License ID: 9K4198OL53958782support@anadigm.com

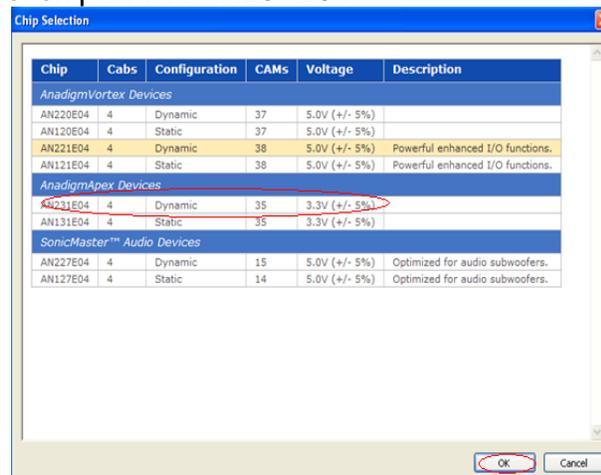
License key: M78P1M1PM81M81M5

Figura 44. Primera imagen de AD2



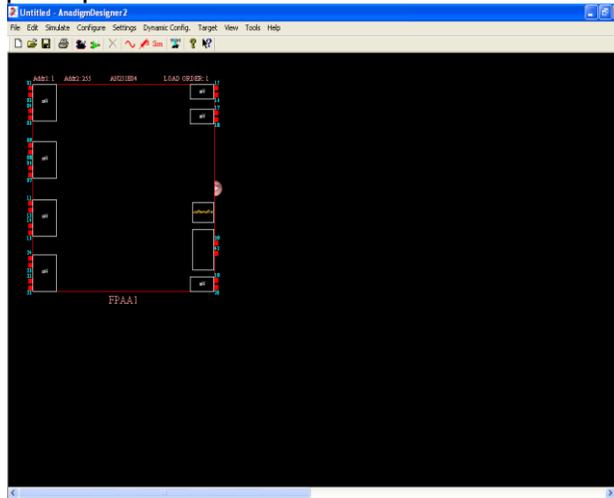
Fuente: Autor

Figura 45. Escoger el chip FPAA AN231E04



Fuente: Autor

Figura 46. Pantalla principal de AD2



Fuente: Autor

6 ANADIGMDESIGNER®2

AnadigmDesigner®2 (AD2) suministrado por la compañía Anadigm; es el primer producto EDA (Herramientas de CAD Electrónico) en el mundo de las FPAA. Este permite desarrollar sistemas electrónicos utilizando la FPAA, las cuales pueden ser reconfiguradas por el software en tiempo real (programación dinámica). Es un entorno diseñado para la realización completa de proyectos de construcción de equipos electrónicos en todas sus etapas, tales como: diseño, simulación, depuración y construcción.

Los circuitos electrónicos, son diseñados con módulos analógicos configurables (CAMs) conectándolos entre sí principalmente. Estos son bloques funcionales suministrados por el fabricante y cumplen diversas tareas ya pre-configuradas.

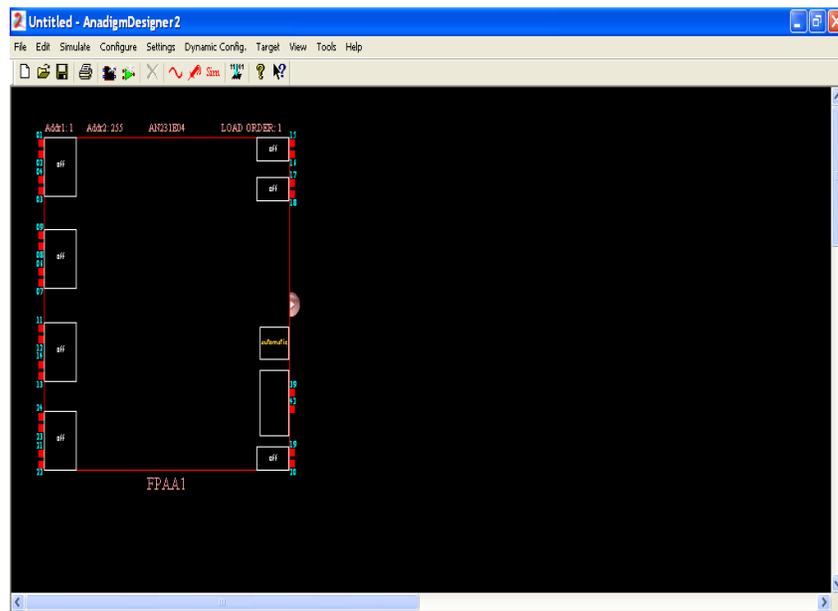
Adicionalmente AD2 incluye un simulador en el dominio del tiempo, el cual provee una conveniente forma de evaluar el comportamiento de los dispositivos sin la necesidad de un laboratorio real. Es posible diseñar un sistema analógico rápidamente, simularlo y luego configurarlo en la FPAA, para después realizar las pruebas de validación.

AD2 facilita diseñar y convertir automáticamente el proyecto a un código de lenguaje de programación C, lo cual permite al sistema ajustarlo y controlarlo por un microprocesador. Como la tecnología de las FPAA está basada en una SRAM, el chip puede ser programado tantas veces como se desee, así que se pueden armar tantos circuitos como desea el usuario de manera independiente. Los resultados del diseño analógico se pueden ver de forma inmediata utilizando un generador de señales y un osciloscopio.

6.1 INTERFAZ DE USUARIO

AnadigmDesigner®2 proporciona al usuario una interfaz intuitiva, el entorno de trabajo es una ventana completa de fácil acceso, ajustable a cualquier tamaño con el objetivo de que el usuario se sienta cómodo.

Figura 47. Interfaz de usuario AD2.



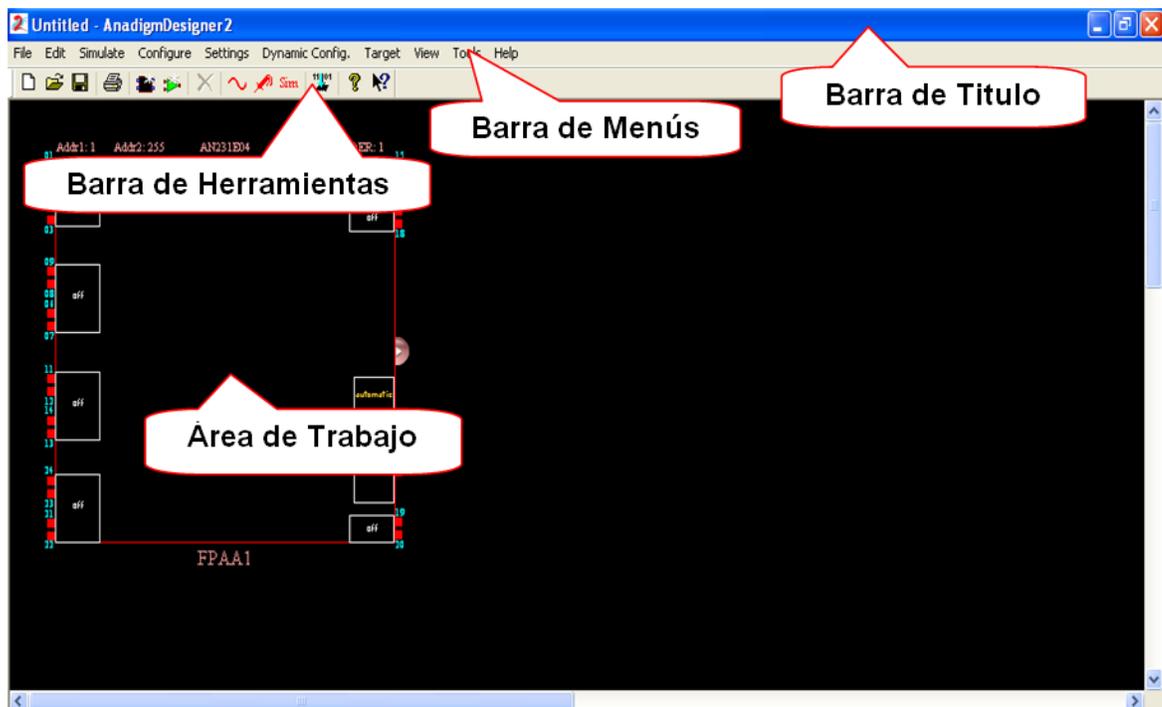
Fuente: Software AnadigmDesigner®2

Asociado con una completa pero no sobrecargada barra de menús. El contexto de trabajo contiene una vista del chip FPAA seleccionada, esta representación muestra las entradas y salidas asociadas (IOcell) a pines numerados. Es un espacio de trabajo versátil, en el cual se puede desarrollar los diseños con las CAMs seleccionadas, para esto solo tiene que ubicar la CAM y debe desplazarla a cualquier lugar de la pantalla en el área de trabajo.

6.2 DESCRIPCIÓN DE LA PLATAFORMA DE TRABAJO

La figura 48 muestra el entorno de trabajo del programa AD2, en el cual se realiza la programación de los CAM y las conexiones de los circuitos analógicos. Este software Incluye una barra principal de Menús, una barra de herramientas con los accesos directos para ejecutar funciones de manera rápida.

Figura 48. Entorno de trabajo AD2.



Fuente: Autor

La descripción de cada uno de los componentes del software mostrados en la figura anterior se enuncia a continuación:

- Barra de título: Situada en la parte superior de la pantalla, en ella se muestra el icono del programa y el nombre del fichero abierto.

- Barra de menús: Permite el acceso a las opciones de configuración del programa, sin embargo algunas opciones están disponibles en los iconos de la barra de herramientas.
- Barra de herramientas: Incluye varias herramientas de uso frecuente tales como: copiar, pegar, guardar, insertar nueva CAM, generador, puntas de prueba.
- Área de trabajo: Es la zona central de la ventana principal del programa, en ella se colocan los componentes procedentes de las barras de herramientas y barra de menús para su posterior interconexión y simulación.

Existen básicamente tres formas de tener acceso a determinadas funciones:

- Barra de Menú,
- Barra de herramientas, o
- Combinaciones en el teclado.

Una descripción detallada de las diferentes opciones se explica a continuación:

6.2.1 Barra de menú

Cada menú contiene una lista de diversos comandos que se utilizarán en la configuración y puesta en marcha de cada proyecto.

Figura 49, Barra de Menús.



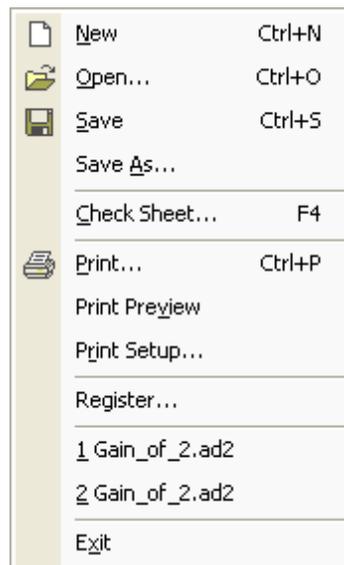
File Edit Simulate Configure Settings Dynamic Config. Target View Tools Help

Fuente: Fuente: Software AnadigmDesigner®2

6.2.1.1 Menú *File*

Formado por los comandos que se utilizan para manejar archivos. Permite crear, abrir, guardar e imprimir los archivos en los que se almacenan los circuitos. Asimismo, permite organizar los archivos de circuito en proyectos de diseño.

Figura 50. Menú *File*.

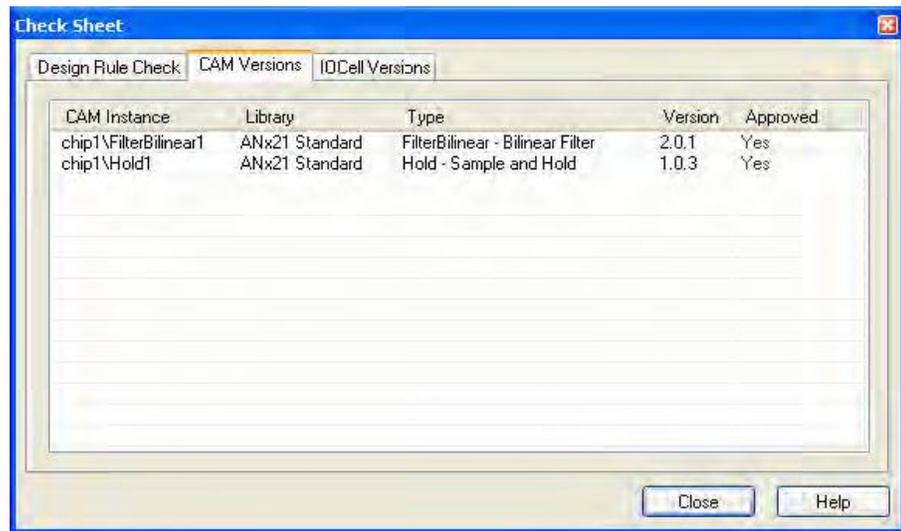


Fuente: Software AnadigmDesigner@2

La mayoría de las opciones de este menú son de uso cotidiano en la plataforma Windows por tanto no serán explicadas en este documento.

- Check Sheet: Esta opción efectúa una comprobación de las CAMs y de las celdas E/S para el circuito actual. Esta verificación de diseño comprueba si el circuito actual tiene algún problema. Tales como:

Figura 51. Check Sheet.



CAM Instance	Library	Type	Version	Approved
chip1\FilterBilinear1	ANx21 Standard	FilterBilinear - Bilinear Filter	2.0.1	Yes
chip1\Hold1	ANx21 Standard	Hold - Sample and Hold	1.0.3	Yes

Fuente: Software AnadigmDesigner@2

- Desajuste de fase: Este problema ocurre cuando un contacto requiere una entrada válida en una fase en la cual el contacto de la fuente no es válida.

Figura 52. Desajuste de fase



Fuente: Software AnadigmDesigner@2

- Desajuste de fase entre el reloj de muestreo: Este problema ocurre cuando la frecuencia del reloj de muestreo de una entrada difiere de la frecuencia del reloj de muestreo de su contacto con la fuente.

AnadigmDesigner®2 mostrará una línea punteada entre los contactos asociados

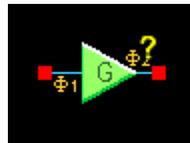
Figura 53. Desajuste de fase entre el reloj de muestreo



Fuente: Software AnadigmDesigner®2

- Parámetros de CAM inválidos: Los parámetros de algunas CAM dependen de los ajustes suministrados por la FPAA. Si los ajustes son cambiados, es necesario verificar que los parámetros de cada CAM sean válidos. AnadigmDesigner®2 mostrará un “?” al lado de cada CAM afectada.

Figura 54. Parámetros de CAM inválidos



Fuente: Software AnadigmDesigner®2

- Reloj de muestreo de la FPAA fuera del rango recomendado: Este problema ocurre si la frecuencia de algún reloj se sale del rango de frecuencia recomendado. AnadigmDesigner®2 mostrará un “?” al lado del nombre del chip.

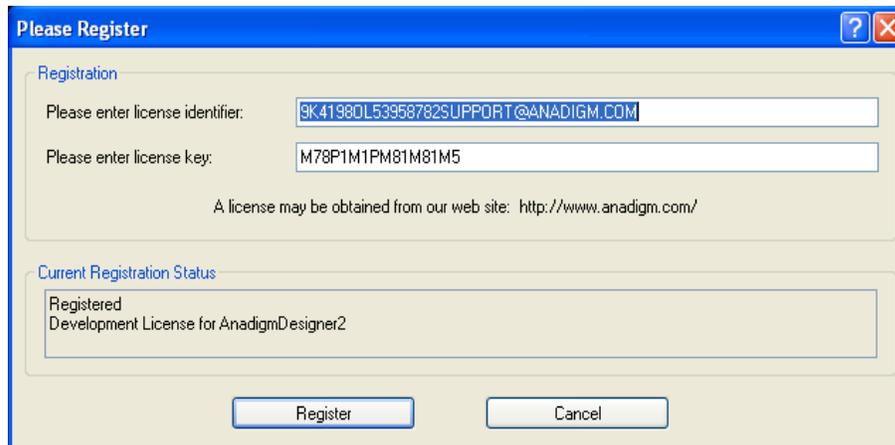
Figura 55. Reloj de muestreo de la FPAA fuera del rango recomendado



Fuente: Software AnadigmDesigner®2

- Register: Este comando muestra una ventana de dialogo donde aparece el registro previo que se realizo en el proceso de instalación del software (Licencia de identificación y Claves de prueba).

Figura 56. Register.

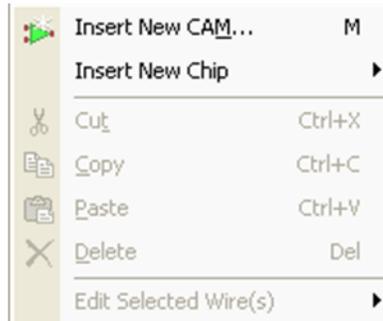


Fuente: Software AnadigmDesigner®2

6.2.1.2 Menú *Edit*

Los elementos de este menú constituyen las características a través del cual se hace la mayor parte del diseño. El Menú Edit permite editar los elementos seleccionados en el espacio de trabajo, es decir, los elementos se pueden cortar, copiar, borrar, entre otros.

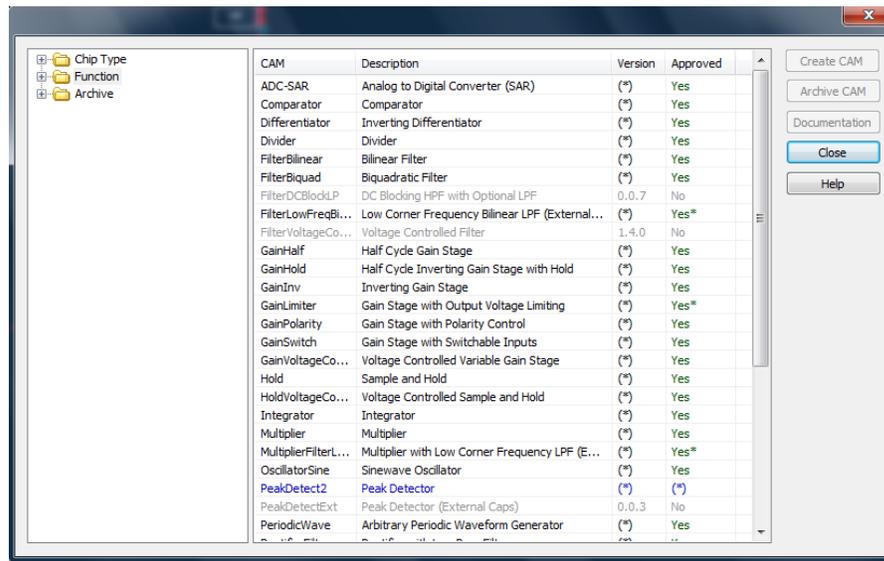
Figura 57. Menú *Edit*



Fuente: Software AnadigmDesigner®2

- Insert new CAM: Esta opción nos permite importar un componente (modulo analógico configurable) y ubicarlo en la ventana del esquemático. En este proceso se despliega un cuadro de diálogo de búsqueda de un CAM en las librerías de AnadigmDesigner®2.

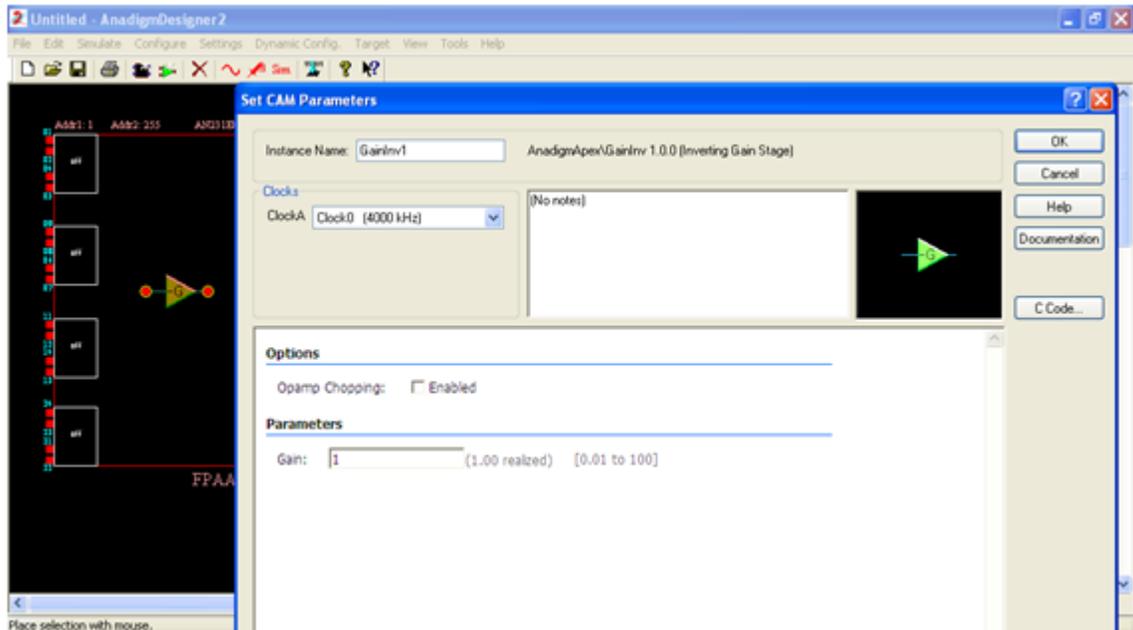
Figura 58. Insert new CAM.



Fuente: Software AnadigmDesigner®2

Una vez que el CAM se coloca en su lugar, emerge un cuadro de diálogo con los parámetros del CAM asociado, el contenido de la caja de diálogo varía de acuerdo con la CAM seleccionada, pero en general siempre contiene todos los parámetros ajustables. Si un diseño en particular requiere de muchas CAMs entonces, debe insertarse un segundo chip en la ventana de trabajo.

Figura 59. Configuración de parámetros del CAM



Fuente: Software AnadigmDesigner®2

Los Parámetros de los módulos analógicos configurables se puede modificar en cualquier momento desde la ventana de diseño (Un doble clic izquierdo sobre cualquier CAM abrirá la ventana de ajuste de parámetros).

- Insert new chip

La opción Insert new chip anexa un chip FPAA dentro de la ventana de diseño. Si la adición de otro CAM excede la capacidad de los recursos de los CABs (aparece un símbolo de negación rojo), AnadigmDesigner®2 no permitirá la inclusión del mismo en el área de trabajo. En este caso, se hará necesario agregar un segundo dispositivo (chip) para el diseño.

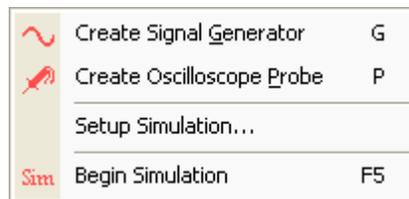
- Edit Selected Wire

Admite la modificación de los cables que realizan la interconexión de los módulos analógicos configurables.

6.2.1.3 Menú Simulate

AnadigmDesigner®2 incluye un simulador funcional en el dominio del tiempo que ofrece una manera conveniente para evaluar el comportamiento de los circuitos desarrollados. Este tipo de simulación comprueba el funcionamiento de los circuitos analógicos de forma funcional; es decir, a partir del comportamiento lógico de sus elementos

Figura 60. Menú Simulate.

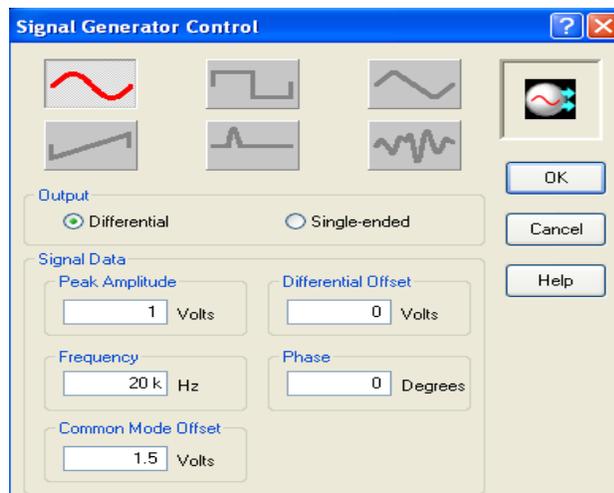


Fuente: Software AnadigmDesigner®2

- Create Signal Generator

Al recurrir al comando Create Signal Generator se adjuntará un icono () en el cursor, este icono debe ser desplazado sobre el puerto de conexión de entrada. Un doble clic izquierdo sobre el icono Signal Generator abrirá una ventana de diálogo de los parámetros programables (Hasta 4 generadores de señal se permiten en el diseño para proporcionar una completa simulación).

Figura 61. Generador de Funciones.



Fuente: Software AnadigmDesigner®2

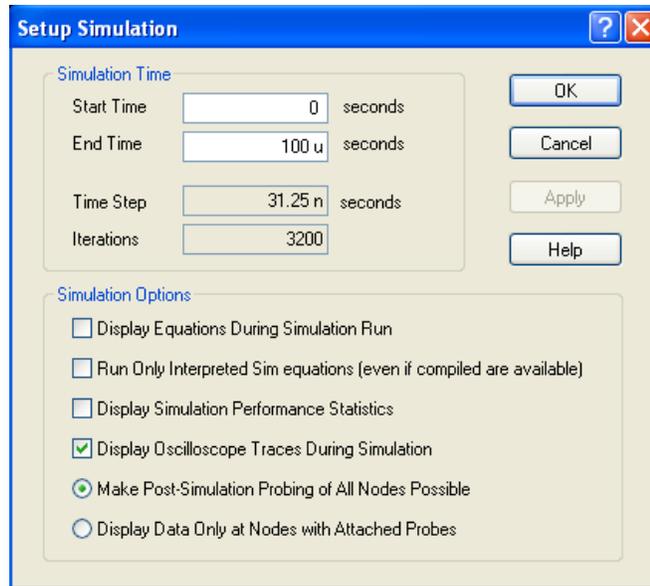
- Create Oscilloscope Probe

El comportamiento de este elemento del menú es muy parecido al descrito en la sección anterior. Esta selección del menú deja un icono () de una punta de prueba de osciloscopio conectado al cursor. Un clic izquierdo sobre cualquier punto de un cable de conexión válida, deja la punta de prueba en su lugar (Hasta 4 de estas sondas se pueden colocar en el diseño con el fin de supervisar los resultados de la simulación)

- Setup Simulation

El comando SetupSimulation muestra una ventana de configuración, proporcionando los detalles del tiempo de simulación.

Figura 62. Setuo Simulation.



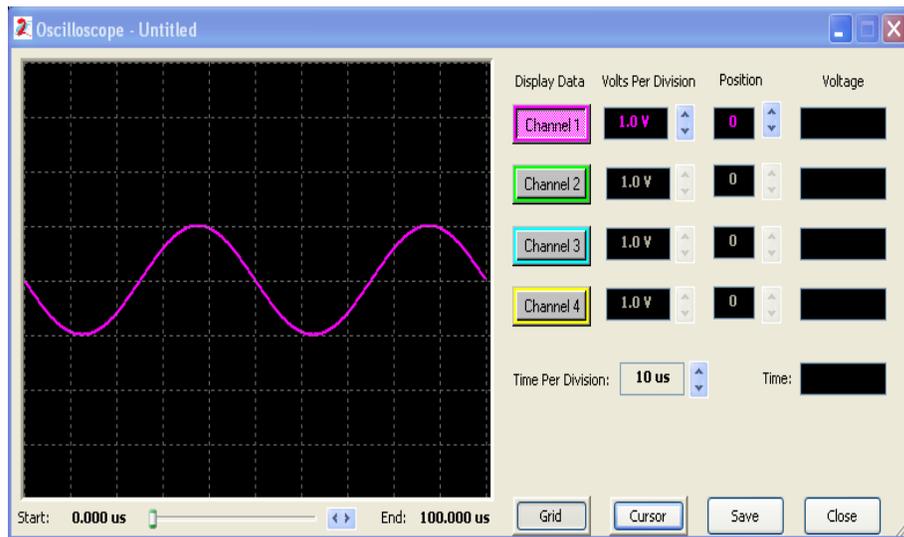
Fuente: Software AnadigmDesigner®2

o

- Begin Simulation

La opción Begin Simulation inicia una secuencia de simulación. Al término de la simulación, aparece la ventana del osciloscopio suministrando todos los resultados disponibles (La tecla ESC interrumpirá la ejecución de la simulación).

Figura 63. Osciloscopio.

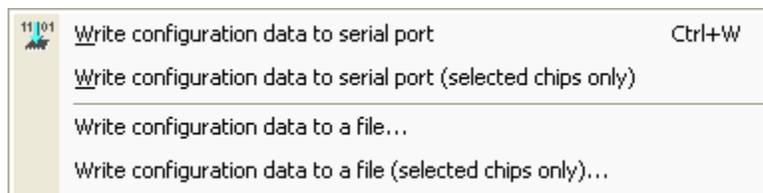


Fuente: Software AnadigmDesigner®2

6.2.1.4 Menú Configure

Cada vez que se ha simulado exhaustivamente el sistema y que se ha comprobado que este realiza lo estipulado, se procede a descargar los datos a la FPAA (esto consiste en generar un archivo de bits).

Figura 64. Menú Configure.



Fuente: Software AnadigmDesigner®2

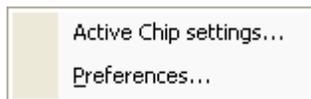
- Write configuration data to serial port

Para configurar la FPAA usaremos el comando Write configuration data to serial port, el cual nos permite programar la FPAA por USB o RS232. Este es el último paso en el proceso de diseño.

6.2.1.5 Menú Settings

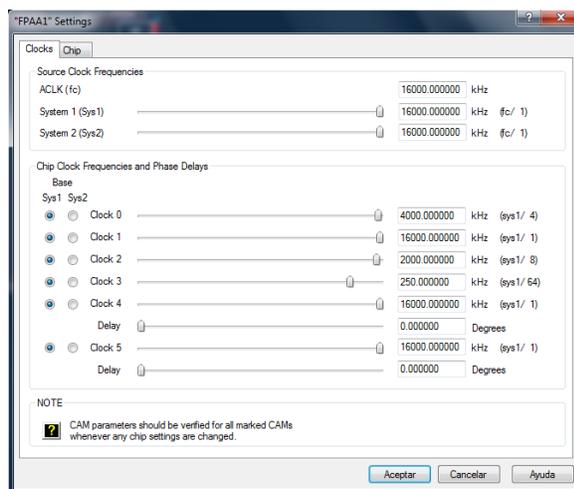
Este menú contiene las herramientas para el ajuste de los relojes internos del chip, así como también algunas opciones de configuración del entorno de trabajo y puestos de conexión.

Figura 65. Menú Settings



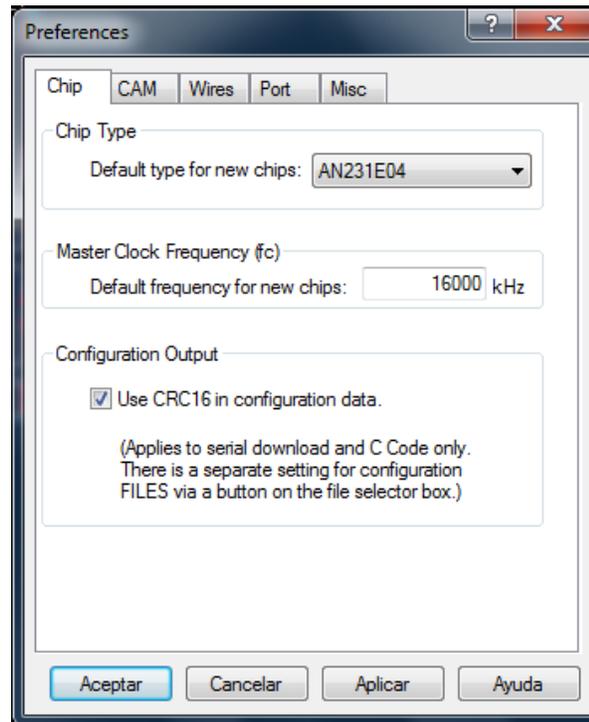
Fuente: Software AnadigmDesigner®2

Figura 66. Active chip settings.



Fuente: Software AnadigmDesigner®2

Figura 67. Preferences.

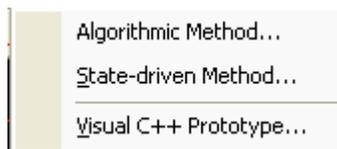


Fuente: Software AnadigmDesigner®2

6.2.1.6 *Menú Dynamic Config.*

Este menú ofrece opciones de configuración para la generación del código final.

Figura 68. Menu Dynamic Config.

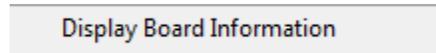


Fuente: Software AnadigmDesigner®2

6.2.1.7 Menú Target

Muestra la información de la tarjeta conectada

Figura 69. Menú Target



Fuente: Software AnadigmDesigner®2

6.2.1.8 Menú View

Este menú ofrece opciones de configuración del entorno de trabajo y la visualización de barras de herramientas en la ventana principal.

Figura 70. Menú View

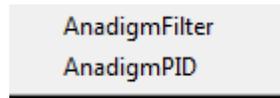


Fuente: Software AnadigmDesigner®2

6.2.1.9 Menú Tools

En este menú se muestran las herramientas de diseño para el desarrollo de filtros y PIDs.

Figura 71. Menú Tools

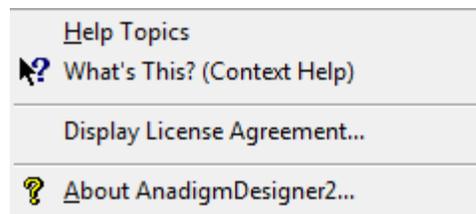


Fuente: Software AnadigmDesigner®2

6.2.1.10 Menú Help

Brinda opciones de ayuda al usuario.

Figura 72. Menú Help

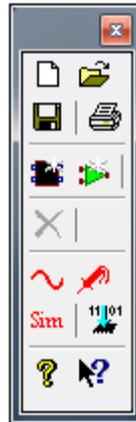


Fuente: Software AnadigmDesigner®2

6.3 BARRAS DE HERRAMIENTAS

El programa AD2 suministra una barra de herramientas asociada a las funciones usadas comúnmente del software. Esta vista en particular (ver figura 62) son íconos de acceso directos a funciones específicas que se puede separar de la ventana de diseño y se modifica su tamaño a un aspecto vertical. Contiene las herramientas necesarias para editar y configurar los objetos.

Figura 73. Accesos directos.



Fuente: Software AnadigmDesigner@2

Algunas de las opciones que presenta esta paleta son las siguientes:

- : Despliega una ventana, en la que se debe escoger el chip a adjuntar en área de trabajo.
- : Da acceso a las librerías donde se encuentran las CAMs que proporciona el fabricante.
- : Agrega un generador de funciones al sistema.
- : Crea puntas de prueba.
- **Sim**: Se utiliza para simular el funcionamiento del circuito
- : Permite la configuración del diseño final en el circuito físico.

6.4 COMBINACIONES DE TECLADO

Algunas opciones de configuración y ejecución de tareas ofrecen la utilidad de una combinación de teclas, tales como “Ctrl+w” para programar, “m” para insertar un nuevo CAM. Logrando así una mayor eficiencia en el desarrollo de proyectos.

6.5 CAMs

Como hemos mencionado anteriormente el software AD2 dispone de un grupo de librerías de CAMs, estos módulos analógicos configurables cumplen con diversas funciones tales como: ganancias, sumadores, restadores, integradores, derivadores, multiplicación, división, comparadores, osciladores sinodales, detectores de picos, diseño de filtros, entre otros módulos especiales que pueden servir al diseñador. Algunos de estos módulos serán explicados a continuación:

- Convertidor Analógico a Digital (SAR)
Esta CAM hace una conversión de señales analógicas a digital con una resolución de 8 Bits, usando el circuito de registro de aproximaciones sucesivas (SAR).

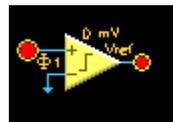
Figura 74. Analog to Digital Converter (SAR):



Fuente: Software AnadigmDesigner®2

- Comparador:
Esta CAM ejecuta una comparación de muestras y toma una decisión interna de salida dependiendo de los parámetros programados. La salida de esta CAM es continua, pero usualmente sólo debería estar relacionado a una Celda de Salida en el modo digital.

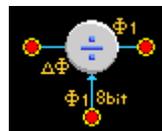
Figura 75. Comparador



Fuente: Software AnadigmDesigner®2

- Divisor :
En esta CAM constan de dos entradas de señal, la señal de entrada 1 está dividida otra señal cuantificada a ocho bits, además de un factor de división. La señal de salida del divisor es un nivel digital basado en la tensión de las señales de entrada.

Figura 76. Divider



Fuente: Software AnadigmDesigner®2

- Etapa de Ganancia de Medio Ciclo:
Esta CAM produce medio ciclo de una etapa amplificadora. La tensión de entrada es modificada a escala por el valor de la ganancia.

Figura 77. Half Cycle Gain Stage



Fuente: Software AnadigmDesigner2

- Etapa de Ganancia Invertida de Medio Ciclo con Retención:
Esta CAM crea un ciclo medio que invierte la etapa de ganancia con retención en su salida. El voltaje de entrada es escalado por el valor de la ganancia programable. La salida tiene la entrada de amplificador compensado durante su fase de entrada. El nivel de salida se lleva a cabo sin compensación de entrada en la fase opuesta.

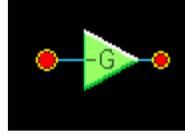
Figura 78. Half Cycle Inverting Gain Stage with Hold



Fuente: Software AnadigmDesigner2

- Etapa de Ganancia Invertida:
Esta CAM crea un ciclo completo que invierte la etapa de ganancia. La tensión de entrada es modificada a escala por el valor de la ganancia programable. El signo de la tensión de salida es opuesta a la señal de la tensión de entrada.

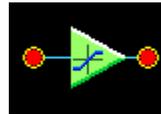
Figura 79. Inverting Gain Stage



Fuente: Software AnadigmDesigner2

- Etapa de Ganancia con Limitación de Voltaje en la Salida:
Esta CAM crea una etapa de ganancia de ciclo completo. El voltaje de salida es limitado a un nivel programable. Esta fase amplificadora tiene una entrada continua y salida continua que es todo el tiempo válida.

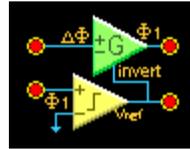
Figura 80. Gain Stage with Output Voltage Limiting



Fuente: Software AnadigmDesigner2

- Etapa de Ganancia con Control de Polaridad:
Esta CAM crea una etapa amplificadora que tiene control de la polaridad. El elemento de ganancia puede ser una etapa de ganancia de medio ciclo con ganancia programable o un filtro de paso bajo bilineal con frecuencia de corte programable. La polaridad de la ganancia se controla a través de un comparador que es de esta CAM. Este comparador tiene opciones similares a las del CAM Comparador, incluyendo la capacidad de seleccionar que señal de control se comparará.

Figura 81. Gain Stage with Polarity Control



Fuente: Software AnadigmDesigner2

- Etapa de Ganancia Variable Controlada por Voltaje:
Esta CAM implementa una etapa con ganancia variable, controlada por la tensión de entrada en una segunda entrada. El perfil de ganancia en función del voltaje de control es una función especificada por el usuario con 256 posiciones de cuantificación.

Figura 82. Voltage Controlled Variable Gain Stage



Fuente: Software AnadigmDesigner2

- Muestreo y Retención:
Esta CAM guarda el valor de entrada durante dos ciclos de reloj.

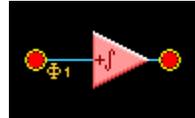
Figura 83. Sample and Hold



Fuente: Software AnadigmDesigner2

- Integrador:
Esta CAM crea a un integrador con una constante programable de integración. El modulo de integración puede estar invertido o no invertido.

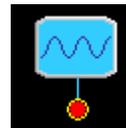
Figura 84. Integrator



Fuente: Software AnadigmDesigner2

- Oscilador de Onda Sinusoidal:
Esta CAM crea una salida sinusoidal, centrada en tierra de la señal. Tiene una frecuencia y amplitud programable.

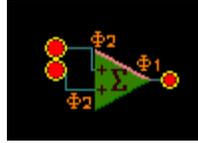
Figura 85. Sine Wave Oscillator



Fuente: Software AnadigmDesigner2

- Etapa de un Sumador/Diferencial de Medio Ciclo
Esta CAM crea un ciclo medio de un sumador con un máximo de cuatro entradas. Las entradas pueden estar invertidas o no, de manera que tanto las cantidades y las diferencias pueden ser creados en la función de transferencia. Cada rama de entrada tiene una ganancia programable.

Figura 86. Half Cycle Sum/Difference Stage



Fuente: Software AnadigmDesigner2

- Función de Transferencia:
Este CAM implementa una función de transferencia de voltaje basado en la definición de una tensión determinada por el usuario, con 256 posiciones de cuantificación. Se produce una tensión de salida donde se especifica en la respuesta el valor de la tensión de entrada muestreada.

Figura 87. User-defined Voltage Transfer Function



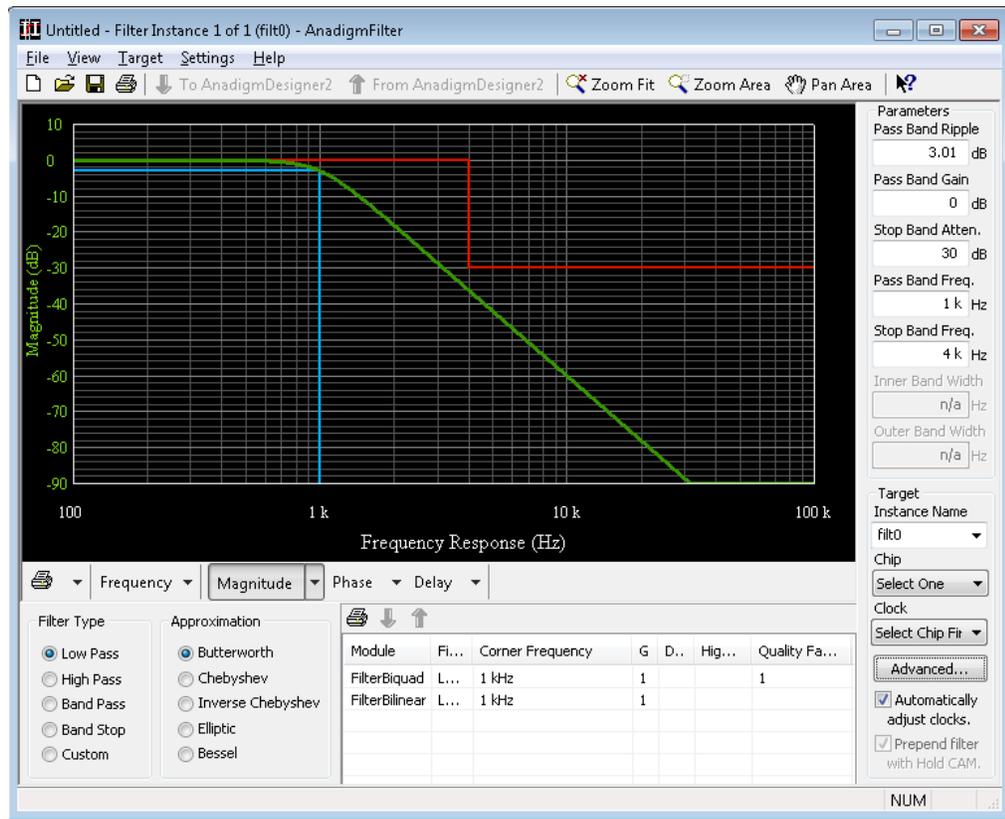
Fuente: Software AnadigmDesigner2

6.6 ANADIGMFILTER

La herramienta AnadigmFilter se utiliza para el diseño de filtros de orden superior. En el conjunto de CAMs que ofrece AD2 podemos encontrar filtros de primer y segundo orden, que sólo requieren la selección de la frecuencia, la ganancia y Q. Estos filtros se pueden conectar en cascada para obtener filtros de orden superior, pero no es una manera eficaz, ya que por lo general requiere el uso de materiales de referencia de diseño de filtrado suplementarios y cálculos manuales. Como alternativa, AnadigmFilter automatiza completamente el diseño y aplicación de

filtros de orden superior. Y así el diseño e implementación de un filtro se puede lograr en unos pocos pasos.

Figura 88. Herramienta AnadigmFilter.



Fuente: Software AnadigmDesigner2

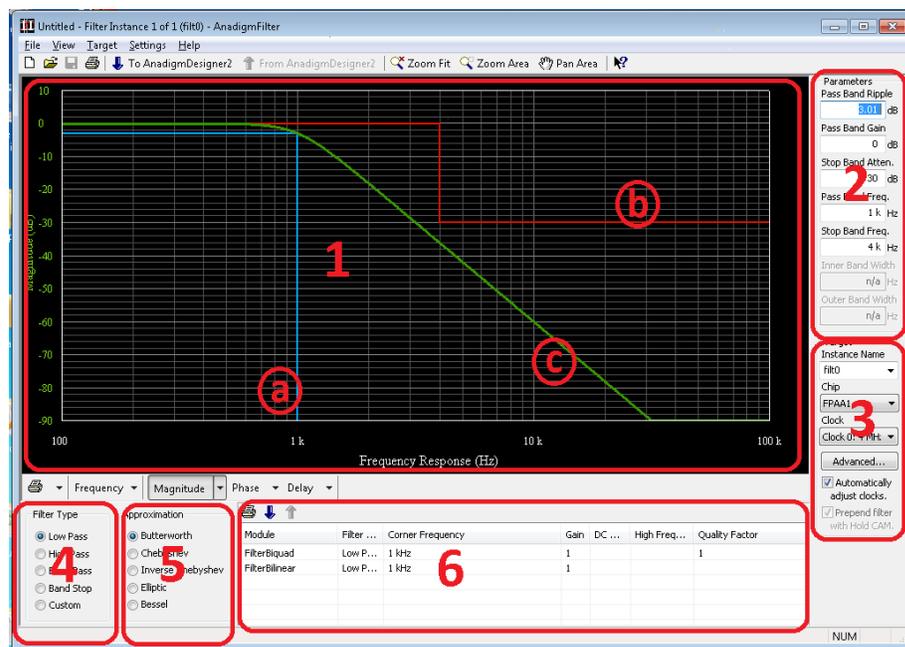
En el software AnadigmFilter se diseñará el filtro para luego ser exportado a AD2. La herramienta AnadigmFilter crea tantas FPAA como sean necesarias para la realización del filtro, y ubicará en estas las CAMs de filtro de orden inferior junto con todos los parámetros y conexiones necesarias, a fin de realizar el diseño del filtro de orden superior.

Con AnadigmFilter se pueden diseñar e implementar filtros de orden muy elevado en poco tiempo. La ventana principal de AnadigmFilter tiene ajustes para la selección del tipo de aproximación de familia ya sea Butterworth, Chebyshev, Chebyshev inverso, Elíptico, y Bessel.

6.6.1 EXPLICACIÓN DE LA HERRAMIENTA

Acceda a la herramienta AnadigmFilter, que está ubicada en el menú desplegable Tools → AnadigmFilter en el software AD2. Esto abrirá una ventana (ver figura 88) de la herramienta. En este estudio implementaremos de forma básica esta herramienta.

Figura 89. Herramienta AnadigmFilter.



Fuente: Software AnadigmDesigner2

En esta herramienta se pueden encontrar diferentes secciones (ver figura 89), tales como: visualización de la grafica del filtro (1), parámetros del filtro (2), chip y reloj de funcionamiento (3), tipo de filtro (4), tipo familia (5) y CAMs utilizados (6), entre otros.

6.6.2 SECCIONES:

6.6.2.1 VISUALIZACIÓN DE LA GRAFICA DEL FILTRO (1)

En esta sección encontramos tres líneas importantes:

- Línea azul (a): En su sección vertical indica la frecuencia de pasa banda y en su sección horizontal el rizado en la sección de pasa banda del filtro.
- Línea roja (b): En su sección vertical indica la frecuencia de rechazo de banda, en su sección horizontal superior la ganancia en la sección de pasa banda del filtro y en su sección horizontal inferior la atenuación en la banda de rechazo.
- Línea verde (c): Es la forma final del filtro, su trazo depende del tipo de familia y del tipo de filtro utilizados. Esta línea se puede visualizar de dos formas en magnitud vs frecuencia y en voltaje vs frecuencia, esto último modificando el valor por defecto en el menú de Magnitude a “Volts per Volts”, este menú se encuentra en la parte inferior de esta sección.

Al realizar una modificación en la línea azul y/ó roja se modificaran los valores en la sección de parámetros del filtro y estos valores tomaran el valor establecido en la grafica.

6.6.2.2 PARÁMETROS DEL FILTRO (2)

En esta sección podemos encontrar los diferentes parámetros configurables, tales como: rizo de pasa banda, ganancia de pasa banda, atenuación de rechazo de banda, frecuencia de pasa banda, frecuencia de rechazo de banda, ancho de banda de pasa banda, ancho de banda de rechaza banda entre otros. Todos estos dependen del tipo del filtro y pueden ser usados con tres cifras después del punto decimal. Al modificar alguno de estos valores se modificara la grafica del filtro resultante, mostrando el comportamiento del filtro.

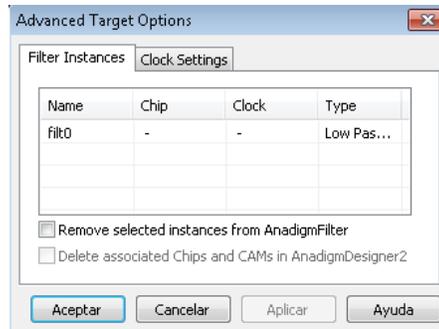
6.6.2.3 CHIP Y RELOJ DE FUNCIONAMIENTO (3)

En esta sección se encuentran algunos ítems de configuración que son importantes para el buen funcionamiento del filtro dichos ítems son:

- Instance Name: Dado que es posible la inclusión de dos o más filtros en un solo chip, es necesario separarlos por nombres para su identificación y configuración. Para agregar un nuevo filtro se debe escoger la opción “New Instance...“.
- Chip: En esta opción se puede escoger el chip en el cual se desea colocar el nuevo filtro, ya que es posible utilizar más de un chip para crear un filtro de mayor orden u otra aplicación.
- Clock: Para un buen funcionamiento del filtro es necesario escoger la fuente de reloj que el filtro usara para su funcionamiento, esto dado que el chip cuanta con más de una fuente de reloj.
- Advanced: Al ejecutar esta opción se abrirá una ventana (ver figura 89), en este estudio utilizaremos esta opción solo la para la eliminación de algún

filtro ya creado, para esto se debe resaltar el filtro a eliminar y habilitar la opción Remove selected instances from AnadigmFilter y después dar clic en aceptar.

Figura 90. Opción Advanced



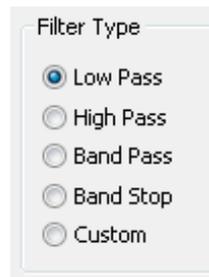
Fuente: Software AnadigmDesigner2

- Automatically adjust clocks: Se debe habilitar esta opción para que el software ajuste de forma automática la fuente de reloj del filtro, y así poder optimizar los recursos del sistema.

6.6.2.4 TIPO DE FILTRO (4)

En este menú podemos seleccionar el tipo de filtro deseado ya sea pasa bajos, pasa altos, pasa banda, rechaza banda y por último la opción Custom con la cual se congela los parámetros del filtro configurado.

Figura 91. Tipos de Filtro.

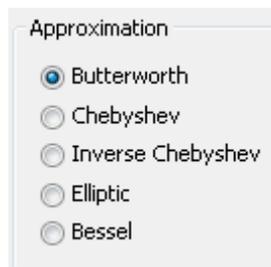


Fuente: Software AnadigmDesigner2

6.6.2.5 TIPO FAMILIA (5)

El tipo de familia de filtro es un parámetro muy importante a escoger ya que de esté depende el comportamiento del filtro para cómo se explico anteriormente.

Figura 92. Tipos de Familia de filtro.



Fuente: Software AnadigmDesigner2

6.6.2.6 CAMS UTILIZADOS (6)

Esta es una de las secciones más importantes de esta herramienta. Una vez configurados todos los parámetros mencionados anteriormente podemos observar los CAMs utilizados para la realización del filtro además de los parámetros internos de cada uno.

En esta sección también podemos encontrar tres iconos muy importantes tales como:

- Print List (

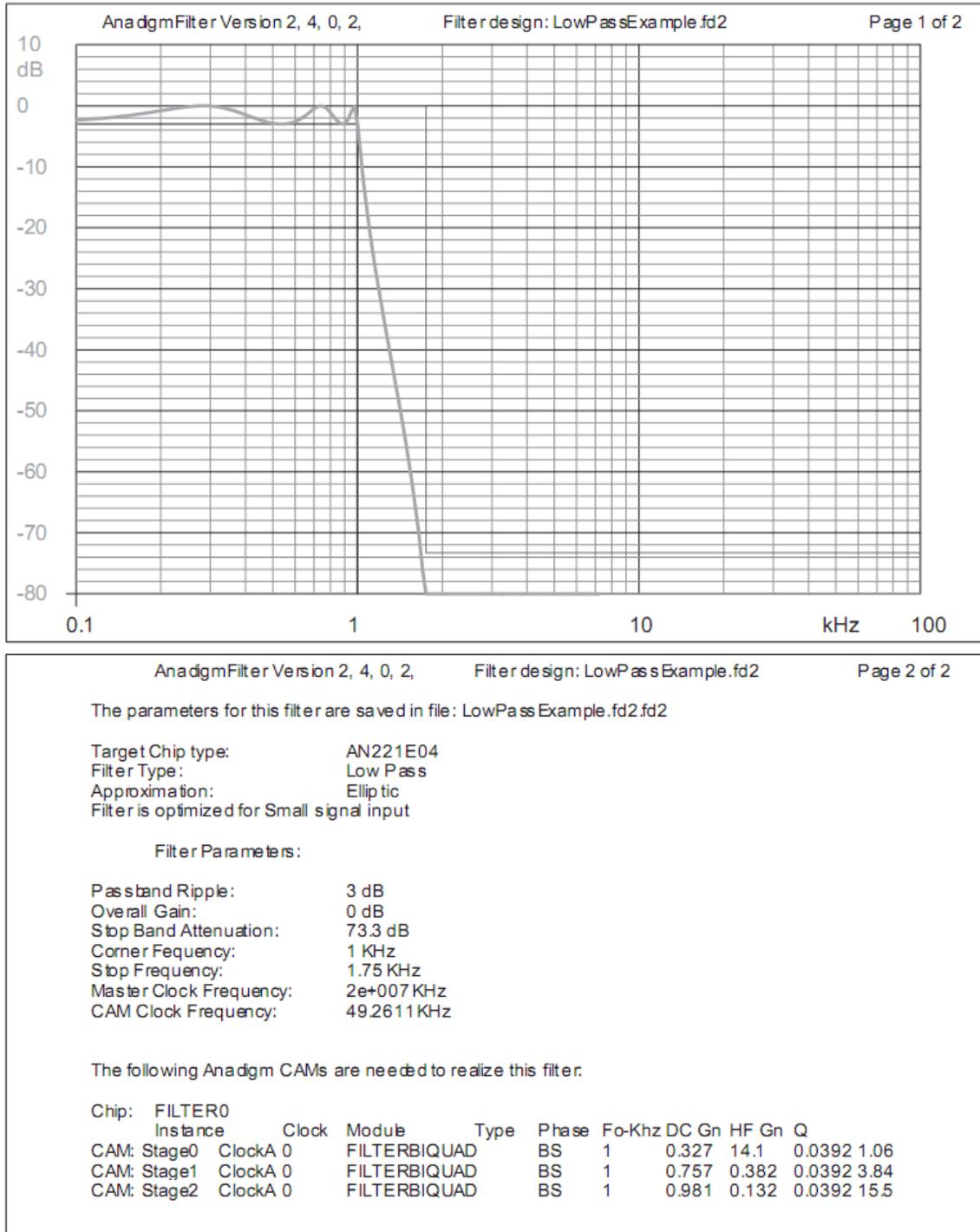
6.6.3 ANÁLISIS DE DATOS FUERA DE AD2

Los datos de respuesta de Filtros se pueden exportar para su análisis con el elemento de menú File → Save Analysis File (CSV), con esto se crea un archivo .csv con las columnas de: frecuencia, magnitud [dB], Magnitud [V/V], fase entre otros.

6.6.3.1 EXPORTAR E IMPRIMIR

Con el objetivo de conservar la información del filtro de forma grafica, es posible guardar la configuración y forma del filtro por medio de la opción exportar a través del menú File → Export → Filter Desing Report ó por medio de la opción imprimir que se encuentra en el menú File → Print → Print Filter Desing Report

Figura 93. Formato generado por AnadigmFilter.

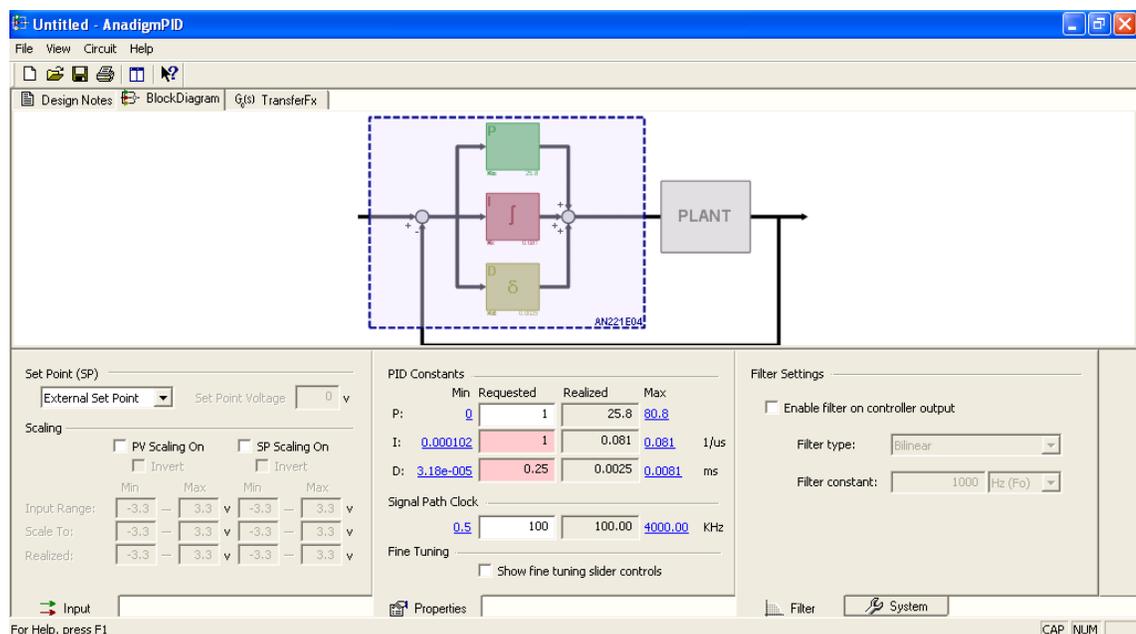


Fuente: Software AnadigmDesigner2

6.7 ANADIGMPID

AnadigmPID es una ayuda de diseño para la creación de circuitos de control de lazo cerrado. La herramienta utiliza bloques de construcción proporcional (P), integral (I) y derivativo (D) para la construcción de topologías comunes de circuitos controladores en lazo cerrado, incluyendo las formas P, PI, PD y PID.

Figura 94. AnadigmPID



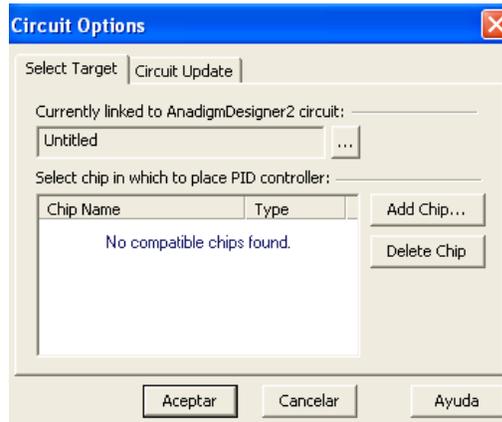
Fuente: Software AnadigmDesigner2

Para iniciar el proceso se debe abrir la herramienta desde el software AnadigmDesigner®2. AnadigmPID se abre desde el menú Herramientas.

Al ejecutar por primera vez AnadigmPID, se debe seleccionar la FPAА en donde se va programar el controlador. Esta herramienta solo admite los chips de la segunda generación de Anadigm.

A continuación explicaremos el proceso de creación de un controlador y las partes del software

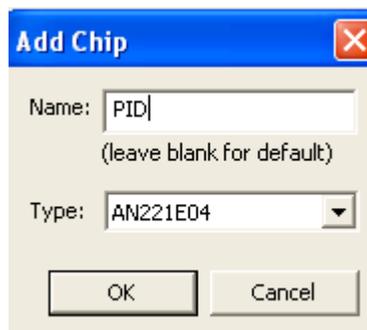
Figura 95. Ventana de inicialización.



Fuente: Software AnadigmDesigner2

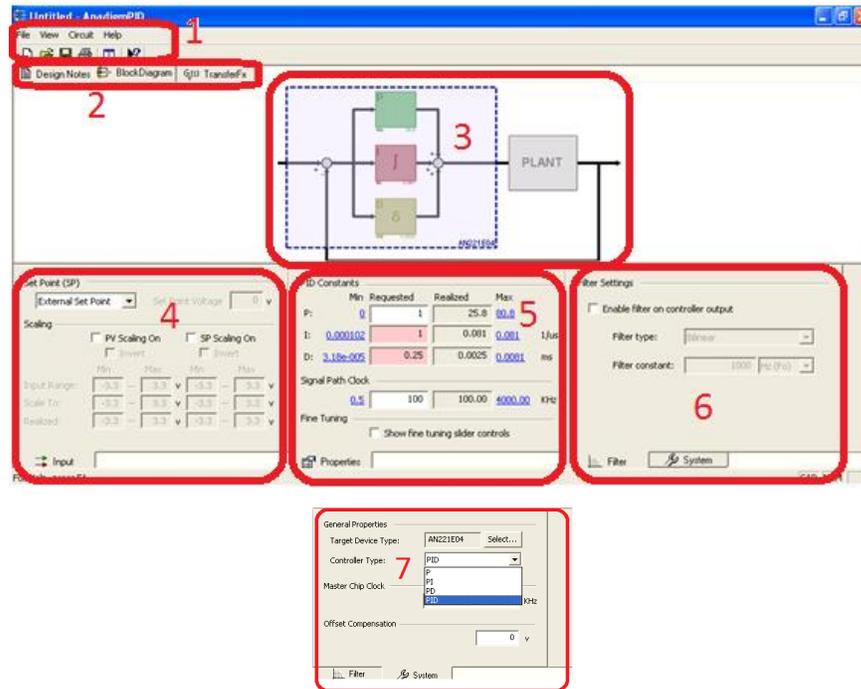
Para iniciar el proceso debe adicionar un chip de la segunda generación. Una vez escogido el chip solo se deben configurar las constantes y la frecuencia del sistema.

Figura 96. Adición de un chip.



Fuente: Software AnadigmDesigner2

6.7.1 SECCIONES DE ANADIGMPID



Fuente: Software AnadigmDesigner2

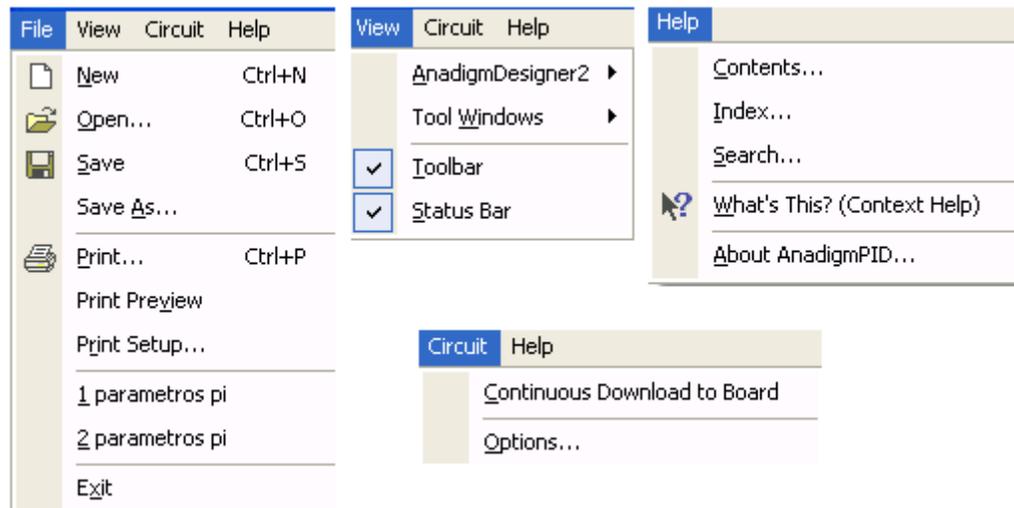
La suite de AnadigmPID se puede dividir en 7 grandes bloques

- Sección de menú y accesos directos (1)
- Sección de información PID pestañas (2)
- Sección de información PID (3)
- Pestaña *Input* (4)
- Pestaña *Properties* (5)
- Pestaña *Filter* (6)
- Pestaña *System* (7)

6.7.1.1 SECCIÓN DE MENÚS Y ACCESOS DIRECTOS (1)

En esta parte del entorno de trabajo se encuentran diversos accesos directos y opciones que permiten modificar la suite AnadigmPID; tales como: guardar, imprimir, barras de herramientas, entre otros.

Figura 97. Menús de la suite AnadigmPID.



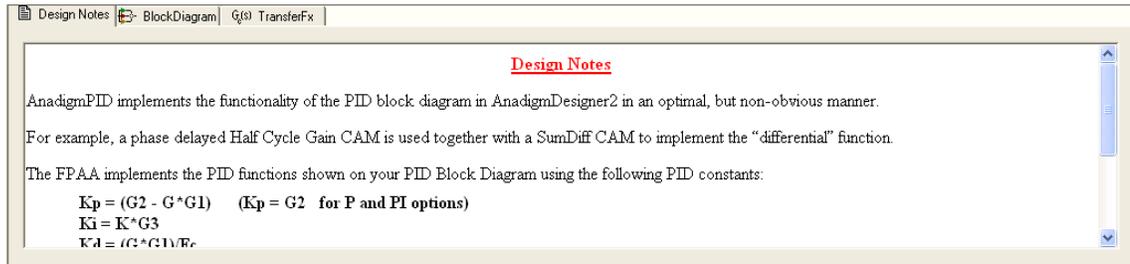
Fuente: Software AnadigmDesigner2

6.7.1.2 SECCIÓN DE INFORMACIÓN PID PESTAÑAS (2)

En esta sección la suite expone tres pestañas, de las cuales el usuario puede obtener información importante del controlador a montar.

La primera pestaña brinda información respecto a las ecuaciones de las constantes del controlador.

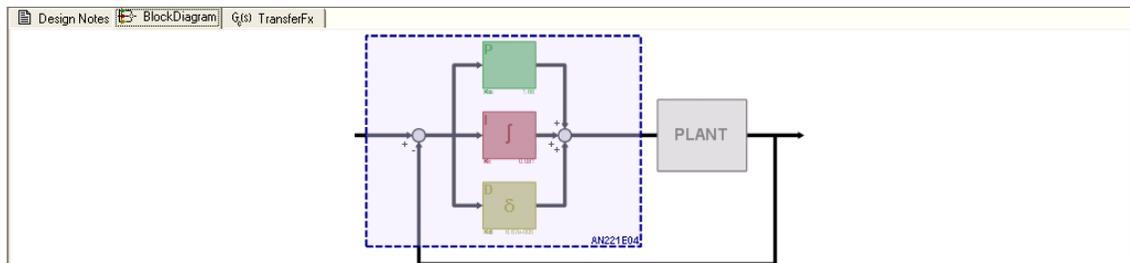
Figura 98. Pestaña "Design notes".



Fuente: Software AnadigmDesigner2

La segunda pestaña muestra el diagrama de bloque dl sistema armado.

Figura 99. Pestaña "Block Diagram".



Fuente: Software AnadigmDesigner2

La tercera pestaña entrega la función de transferencia del controlador elaborado

Figura 100. Pestaña "TransferFx".

Fuente: Software AnadigmDesigner2

6.7.1.3 SECCIÓN DE INFORMACIÓN PID (3)

En esta área de la suite se visualiza la información suministrada por las pestañas de la sección 2.

6.7.1.4 PESTAÑA *INPUT* (4)

La pestaña de entrada de señal permite el control sobre varios aspectos de las entradas del circuito controlador. Se puede amplificar y/o invertir la señal PV (señal de retorno de la planta). Del mismo modo se puede amplificar y/o invertir la señal del set point (SP). Además también existe la opción de implementar un Set Point interno. Al seleccionar esta opción se coloca un generador de tensión de set point en el interior de la FPAA.

6.7.1.5 PESTAÑA *PROPERTIES* (5)

La pestaña propiedades es donde se establecen las constantes asociadas a cada tramo del circuito de control. Los controles están disponibles para KP, KI y KD. Los valores deseados para cada una de las constantes se introducen en la columna *Requested*. La columna *Realized* refleja lo que AnadigmPID fue capaz de lograr.

Los rangos alcanzables de cada uno de los controles no son completamente independientes el uno del otro. En particular, la frecuencia establecida en el Reloj de Ruta de Señal declara la frecuencia de entrega a cada una de las CAM en el recorrido de la señal. Cambiar este control afecta a todos los CAMs en el recorrido de la señal y el rango de respuesta viable para cada uno de ellos. Al hacer clic en cualquiera de los hipervínculos dentro de esta pestaña se abrirá una ventana de ayuda detallada. Un control final en la pestaña Propiedades es la casilla de verificación es “Mostar Control de Desplazamiento de Ajuste Fino”. Este control es

especialmente útil, ya que permite la sintonización en directo de los circuitos de control creados con AnadigmPID.

6.7.1.6 PESTAÑA *FILTER* (6)

La pestaña Filtro controla si se incluye o no un filtro pasa bajas para la salida del controlador y establece los parámetros para ese filtro. Las opciones de tipo de filtro disponibles son bilineales y bicuadrático. La constante de filtro por lo general se especifica como frecuencia de corte. Opcionalmente, las unidades de entrada se pueden establecer en radianes/s o S.

6.7.1.7 PESTAÑA *SYSTEM* (7)

La pestaña System estipula el tipo de controlador y el chip que se está utilizando, así como la frecuencia maestra del chip y el voltaje offset.

6.7.2 FUNCIONAMIENTO DEL SISTEMA

Al modificar alguna de las constantes o demás opciones de configuración, la suite AnadigmPID envía al software AD2 la información necesaria para modificar el circuito final en el Chip escogido.



CARRERA	NRC	NOMBRE DE LA ASIGNATURA
Ingeniería Electrónica		Dispositivos Electrónicos
PRÁCTICA No.	LABORATORIO DE	
1	Electrónica Analógica	
DURACIÓN	NOMBRE DE LA PRÁCTICA	
2 Horas	Familiarización con AnadigmDesigner2	

1 INTRODUCCIÓN

Durante el estudio de la ingeniería electrónica es necesario el diseño y montaje de circuitos analógicos, para así poder entender su funcionamiento. El préstamo de elementos electrónicos según los requerimientos del circuito planteado, genera dificultad en el proceso de ensamblado, porque no hay los suficientes elementos, ésta situación demanda más tiempo en la ejecución del laboratorio.

Por consiguiente, surge la necesidad de utilizar un sistema que permita realizar el diseño de circuitos analógicos y su respectiva simulación en el proceso de aprendizaje, como una posible solución se presenta la FPAA (*Field Programmable Analog Array*) que es un dispositivo analógico programable.

En esta práctica se propone la implementación de una plataforma de hardware reconfigurable por medio de un Kit de desarrollo basado en una FPAA, con el objeto de realizar diseños analógicos, para lo cual se utilizara un software de trabajo llamado *AnadigmDesigner2* que de ahora en adelante lo llamaremos “AD2” por su siglas en inglés.

Como inicio al desarrollo de esta tecnología se plantea una guía básica de aprendizaje, la cual busca la familiarización de los nuevos usuarios con el software de programación AD2.



2 OBJETIVO

El objetivo de esta sesión de laboratorio consiste en realizar una primera aproximación al software *AnadigmDesigner2*, a través de un diseño guiado para que el estudiante conozca las diversas posibilidades que ofrece *AD2*.

3 FUNDAMENTO TEÓRICO

En esta sección de laboratorio se presenta al estudiante, el uso de la tecnología FPAA (*Field Programmable Analog Array*), como una metodología para el diseño de circuitos analógicos.

Este proyecto de investigación, se desarrolló basado en la selección de la FPAA AN231E04, del fabricante *Anadigm*. Este último suministra un kit evaluación que contiene una tarjeta para pruebas de laboratorio *AN231K04-DVLP3* y un software de programación *AnadigmDesigner2*.

Las FPAAs pueden ser programadas con el objetivo de cumplir diversas aplicaciones, tales como: amplificación, rectificación, filtrado, acondicionamiento y multiplicación de señales analógicas, entre otras funciones, por medio de un conjunto de módulos programables llamados CAM¹¹ (*Configurable Analog Module*) que contiene el software *AnadigmDesigner2*.

*AnadigmDesigner2*¹²

El software *AnadigmDesigner2*, provee la capacidad de configurar un grupo de FPAAs, estas se representan como un chip en la ventana de programación,

¹¹ www.anadigm.com

¹² www.anadigm.com/trainingdocument.pdf



permitiendo el procesamiento de señales analógicas en un dispositivo integrado.

AD2 se fundamenta en la creación y evaluación rápida de circuitos programables, que son ensamblados en la FPAAs seleccionando los módulos analógicos configurables (CAM), los cuales se conectan para formar un circuito más complejo. Cuenta también con una configuración dinámica, de modo que en el proceso de sintetización solo se programaran los valores modificados.

Una vez diseñado el circuito deseado, es posible realizar una simulación del mismo, por medio de la herramienta de simulación, que para su funcionamiento puede utilizar cuatro generadores de funciones y cuatro puntas de prueba. Estas últimas pueden ser ubicadas en los nodos donde se desea visualizar la señal.

Tabla 5. Chips soportados por AD2

Chip	Cabs	Configuration	CAMs	Voltage	Description
<i>AnadigmVortex Devices</i>					
AN220E04	4	Dynamic	37	5.0V (+/- 5%)	
AN120E04	4	Static	37	5.0V (+/- 5%)	
AN221E04	4	Dynamic	38	5.0V (+/- 5%)	Powerful enhanced I/O functions.
AN121E04	4	Static	38	5.0V (+/- 5%)	Powerful enhanced I/O functions.
<i>AnadigmApex Devices</i>					
AN231E04	4	Dynamic	35	3.3V (+/- 5%)	
AN131E04	4	Static	35	3.3V (+/- 5%)	
<i>SonicMaster™ Audio Devices</i>					
AN227E04	4	Dynamic	15	5.0V (+/- 5%)	Optimized for audio subwoofers.
AN127E04	4	Static	14	5.0V (+/- 5%)	Optimized for audio subwoofers.

Fuente: AnadigmDesigner2

Las FPAAs de Anadigm permiten llevar a cabo una metodología de diseño analógico basado en una aproximación a nivel computacional, es decir, se desarrolla un diseño a nivel matemático y no a nivel de componente. Entonces, las



tareas de diseño analógico tendrán un poco de independencia al permitir soluciones en términos matemáticos.

AnadigmDesigner2 dispone de dos herramientas de ayuda: *AnadigmPID* para la creación de circuitos de control analógico y *AnadigmFilter* para el procesamiento de señales analógicas.

4 PROCEDIMIENTO

A	EQUIPO NECESARIO	MATERIAL DE APOYO
	PC Software <i>AnadigmDesigner2</i>	Práctica Impresa Manual de Instalación de AD2
B	DESARROLLO DE LA PRACTICA	

PASO 1: INSTALACIÓN

Realice el proceso de instalación de AD2, utilizando el “*Manual de Instalación de AD2*”. Acceda al software, por medio del icono respectivo (ver figura 101), ó desde: ***Inicio -> Programas ->Anadigm -> AnadigmDesigner2***

Figura 101. Icono de AnadigmDesigner2.



Fuente: AnadigmDesigner2.

PASO 2: CREACIÓN DE UN PROYECTO

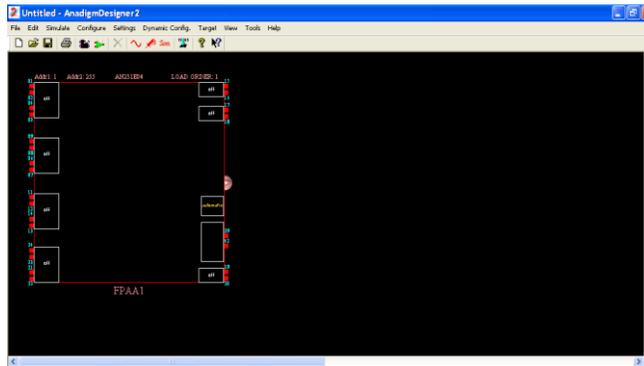
Cada vez que se desea realizar un nuevo diseño, es necesario crear un fichero por cada proyecto, para tal fin se debe crear una carpeta en la cual se



almacenaran todos los archivos relacionados con dicho proyecto. El archivo principal de cada proyecto se guarda con una extensión *.ad2.

Una vez que se abre el entorno de diseño, ya estamos en disposición de crear nuestros diseños, para ello, ejecutamos: **File -> New** ,donde nos aparece la siguiente ventana (En esta ventana es donde se almacenarán todas las CAMs relacionados con el proyecto, ver Figura 102):

Figura 102. Inicio-AD2



Fuente: AnadigmDesigner2

PASO 3: DISEÑO DEL ESQUEMÁTICO

Primero se debe seleccionar una CAM, para esto ejecutamos el símbolo,  *Get New CAM*, que aparece en la barra de herramienta sobre la ventana principal (ver, Figura 103) o también puede acceder del menú desplegable (ver, Figura 104):

Edit→Insert New CAM.

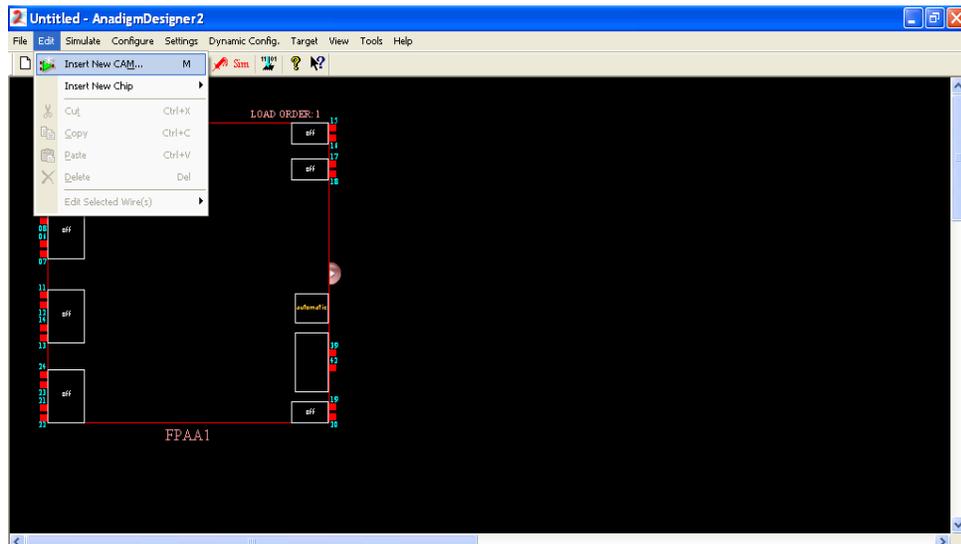


Figura 103. Barra de herramientas



Fuente: AnadigmDesigner2

Figura 104. Selección de los CAMs

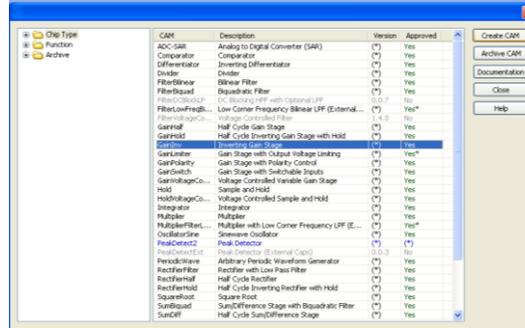


Fuente: AnadigmDesigner2

Luego aparecen las herramientas de los módulos analógicos configurables (ver, Figura 105). Use la barra de desplazamiento de la derecha para elegir la CAM que necesita en el diseño que tiene propuesto, en este caso vamos a elegir *GainInv*, haciendo clic en la opción *Create CAM*, para desplazarnos a la ventana de la FPAA. Inmediatamente se muestra una imagen transparente de la CAM elegida en el cursor del mouse listo para ser colocado en la ventana de la FPAA.



Figura 105. Herramientas de los Módulos Analógicos Configurables



Fuente: AnadigmDesigner2

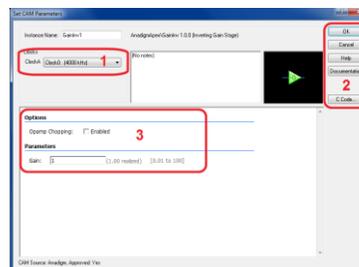
Una vez la CAM esté colocada en su lugar (ver, Figura 106), hacemos doble clic en la CAM para mostrar los parámetros de esta (ver, Figura 107).

Figura 106. Visualización-Parámetros de la CAM en la FPAA



Fuente: AnadigmDesigner2

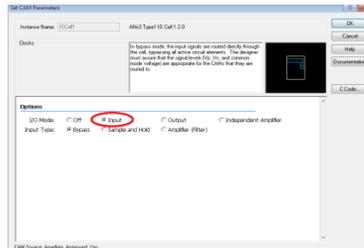
Figura 107. Ubicación de la CAM





Fuente: AnadigmDesigner2

Figura 108. Entradas o salidas del sistema.



Fuente: AnadigmDesigner2

En esta ventana (ver, Figura 107) hay un control que permite seleccionar cual de los cuatro relojes internos implementara la CAM (sección 1 de la Figura 107). En el recuadro “Gain” (sección 3 de la Figura 107) se puede modificar la ganancia de esta etapa, para este caso establezca el valor de “1”.

Otra opción que podemos encontrar en esta ventana es el botón *Documentation* (sección 2 de la Figura 107), que nos muestra una caja de dialogo de ayuda rápida, la cual nos describe las características de la CAM.

PASO 4: ESTABLECER ENTRADAS Y SALIDAS DEL CHIP

- Haga doble clic sobre el primer recuadro que se encuentra al lado izquierdo-superior del chip (ver, Figura 106), esto abrirá un recuadro en el cual debe escoger “I/O Mode: Input” para que esté pin quede configurado como entrada.
- Haga doble clic sobre el primer recuadro que se encuentra al lado derecho-superior del chip (ver, Figura 106), esto abrirá un recuadro en el cual debe

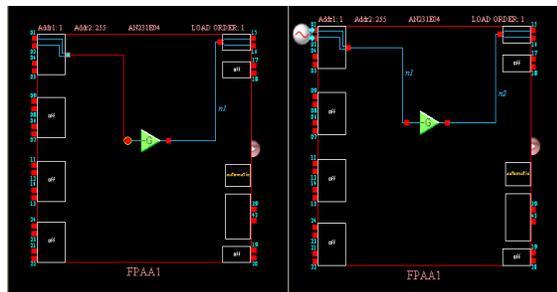


escoger “I/O Mode: Output” para que esté pin quede configurado como salida.

PASO 5: CONEXIONES DEL CIRCUITO

Todas las CAM contienen generalmente una entrada y una salida, estas deben ser conectadas a otros dispositivos en la FPA. Para conectar dos elementos simplemente aproximaremos el cursor hasta el nodo correspondiente, se pulsa el botón izquierdo del mouse y se arrastra para trazar automáticamente el camino a recorrer hasta el otro nodo de conexión (ver, Figura 109).

Figura 109. Cableado y ubicación del un generador de señales



Fuente: AnadigmDesigner2

PASO 6: GENERADOR DE FUNCIONES Y PUNTAS DE PRUEBA

Con el objeto de realizar una simulación es necesario la inclusión de un generador de funciones y una punta de prueba. Para crear un generador de funciones, accedemos a la barra de herramientas (ver, Figura 103) y pinchamos en la siguiente función  *Create Signal Generator* o también podemos acceder en el



menú desplegable **Simulate** → **Create Signal Generator**, de manera inmediata aparece una imagen transparente del generador de funciones, desplazamos el icono hacia la posición deseada dentro del puerto de conexión interno de la FPAA, use otro clic para colocarlo en su sitio.

Un doble clic derecho sobre el icono del generador mostrara una ventana de parámetros programables (ver figura 110). En la sección 1 de la figura se encuentran los diferentes tipos de funciones que el generador puede crear, en la sección 2 podemos encontrar el modo de funcionamiento ya sea de tipo diferencial o de una sola salida.

Hasta 4 generadores de señales están permitidos en el diseño para proveer múltiples simulaciones.

Para esta práctica estableceremos los siguientes valores:

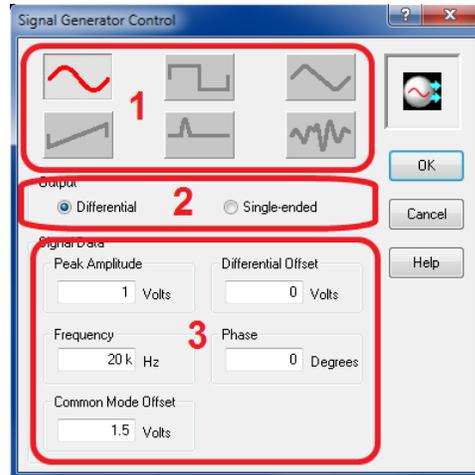
Tabla 6. Parámetros del generador

Parámetro	Sección
Tipo de función	Sine
Output	Differential
Peak Amplitude	1 V
Differential Offset	1 V
Frecuency	1 kHz
Phase	0°
Comon Mode Offset	0 V

Fuente: Autor



Figura 110. Parámetros del Generador de Señales

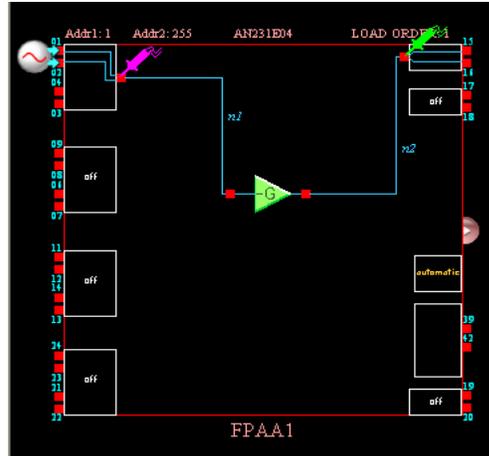


Fuente: AnadigmDesigner2

Como parte final del diseño vamos a crear la punta de prueba del osciloscopio para obtener las señales correspondientes, teniendo en cuenta este comando  *Create Oscilloscope Probe*, ejecutaremos esta función que se encuentra en la barra de herramientas (ver, Figura 103) o en el menú desplegable **Simulate** → **Create Oscilloscope Probe**, el comportamiento de este ítem es muy parecido al descrito anteriormente. Este menú deja una punta del osciloscopio adherida al puntero del mouse, un clic sobre cualquier nodo de conexión válido, coloca la punta del osciloscopio en el lugar, con la finalidad de monitorear el resultado de la simulación (figura 111), cada punta tiene un color específico que facilita la visualización de los datos.



Figura 111. Puntas del osciloscopio



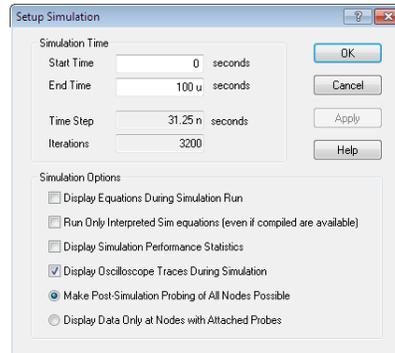
Fuente: AnadigmDesigner2

PASO 7: TIEMPO DE SIMULACIÓN

Para realizar el proceso de simulación es necesario establecer el tiempo de mismo, ya que AD2 solo simula durante dicho tiempo y si no contiene el valor adecuado no se visualizarán las señales pertinentes (Este laboratorio debe simularse de con un tiempo de 0 a 2 ms). El comando *setup simulation* hace aparecer una ventana de dialogo para el ajuste del tiempo de simulación (ver, Figura 112), para ejecutar este comando pinchamos en el menú **Simulate** → **Setup simulation**



Figura 112. Setup simulation

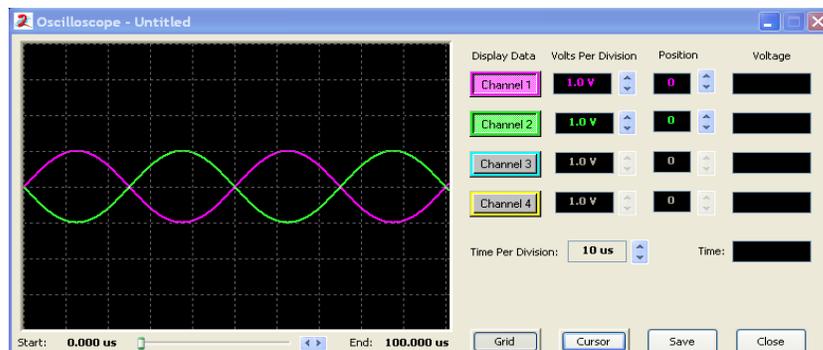


Fuente: AnadigmDesigner2

PASO 8: EMPEZAR LA SIMULACIÓN

Para ejecutar esta función pinchamos en el siguiente símbolo **Sim**, o buscamos la función en el menú *Simulate*→*Begin simulation*. Este comando ejecuta la secuencia de simulación y muestra la ventana del osciloscopio (ver figura 113), detallando todos los resultados de la simulación. La tecla *Esc* detendrá la simulación.

Figura 113. Resultado de la Simulación (Osciloscopio)



Fuente: AnadigmDesigner2



PASO 9: VISUALIZACIÓN DE LOS RECURSOS UTILIZADOS

Agregue dos nuevas CAM al proyecto creado sin modificar ninguno de sus valores, tales como *Hold*, *FilterBiquad*. Ahora de clic en el botón , el cual está ubicado en el costado derecho del chip (ver, Figura 111). Este mostrara una ventana desplegable como el de la Figura 14. En esta ventana se podrá visualizar la potencia consumida por el dispositivo y los diferentes recursos utilizados por cada uno de los CAM. Los recursos disponibles de un chip AN231E04 son ocho amplificadores, cuatro bancos de condensadores y cuatro módulos SAR.

Figura 114. (a) Ventana de visualización de recursos del chip (b) Recursos utilizados por un CAM.



Fuente: AnadigmDesigner2

Haga clic sobre alguno de los CAMs implementados para resaltar los recursos que el mismo utiliza (ver, Figura 114 (b)).



PASO 10: FAMILIARIZACIÓN CON LOS CAM

- Describa el funcionamiento de al menos 10 CAMs investigando su documentación respectiva.
- ¿Cuántas entradas y salidas tiene el chip AN231E04?
- Investigue las utilidades de esta tecnología y sus principales aplicaciones.
- ¿Que indica el recuadro que se obtiene al pulsar este botón  en el chip?
- Según sus palabras ¿Es útil la implementación de esta tecnología?,
¿Cuáles son sus ventajas y desventajas?

C RESULTADOS Y CONCLUSIONES

Realice los diferentes pasos y genere un informe con sus observaciones y respuestas a cada uno de los pasos.



CARRERA		NRC	NOMBRE DE LA ASIGNATURA
Ingeniería Electrónica			Dispositivos Electrónicos
PRÁCTICA No.	LABORATORIO DE		
2	Electrónica Analógica		
DURACIÓN	NOMBRE DE LA PRÁCTICA		
2 Horas	Modulación AM con AnadigmDesigner2		

1 INTRODUCCIÓN

Se define como modulación el proceso de convertir la información de su forma original a una más acondicionada para la transmisión. Esta se realiza en un circuito llamado modulador. Al disponer de información que deseamos enviar por un canal de transmisión. Este último designa que medio se utilizará para transportar la información desde la fuente hacia el destinatario. La información de la fuente puede ser de origen analógico o digital.

2 OBJETIVO

El objetivo de esta sesión de laboratorio consiste en realizar una modulación en AM con el software AnadigmDesigner2 a través de un diseño guiado.

3 FUNDAMENTO TEÓRICO

La Amplitud Modulada¹³ (AM) es el proceso de cambiar la amplitud de una portadora de con una frecuencia alta de acuerdo con la amplitud de la señal modulante ó información.

Las frecuencias que son lo suficientemente altas para radiarse de manera eficiente por una antena y propagarse por el espacio libre se llaman radiofrecuencias (RF). En el AM la información se imprime sobre la portadora en la forma de cambios de amplitud.

¹³ <http://www.astormastering.com.ar/ModulacionAM.pdf>



Un modulador de AM es un aparato no lineal con dos señales de entrada: Una señal portadora de amplitud constante de frecuencia única y una señal de información.

La información modula la portadora y puede ser una forma de onda de frecuencia simple o compleja compuesta de muchas frecuencias que fueron originadas de una o más fuentes. Debido a que la información actúa sobre la portadora, se le llama señal modulante. La resultante se llama onda modulada o señal modulada.

Figura 115. Modulador AM DSBFC simplificado



Fuente: Autor

La Envolvente de AM

Existen varias formas de modulación de amplitud. La forma más sencilla de AM es la portadora de AM de doble banda lateral (AM DSBFC), puesto que es la forma más utilizada de la modulación de amplitud. AM DSBFC (Double Side Band Frequency Carrier). La Figura 115 muestra un modulador AM DSBFC simplificado que ilustra la relación entre la portadora (b), la señal de entrada de la información (a) ó modulante, y la onda modulada (c), en el dominio de tiempo. La onda modulada de salida contiene todas las frecuencias que componen la señal AM y



se utilizan para llevar la información a través del sistema. A la forma de la onda modulada se le llama la envolvente. Cuando se aplica una señal modulante, la amplitud de la onda de salida varía de acuerdo a la señal modulante. De tal manera que la forma de la envolvente de AM es idéntica a la forma de la señal modulante. Una señal de AM se produce al usar la amplitud instantánea de la señal de información (la señal moduladora), para variar la amplitud máxima o de cresta de una señal de frecuencia superior.

4 PROCEDIMIENTO

A	EQUIPO NECESARIO	MATERIAL DE APOYO
	PC Software AnadigmDesigner2 Kit de Desarrollo AN231K04-DVLP3 Generador de Funciones Osciloscopio	Práctica Impresa

B DESARROLLO DE LA PRACTICA

PASO 1: CREACIÓN DEL PROYECTO

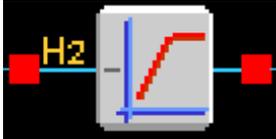
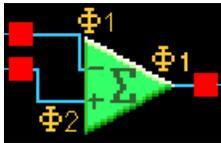
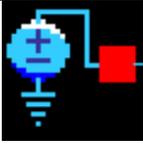
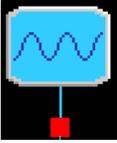
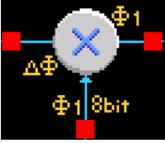
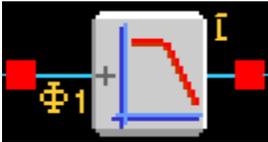
Acceda al software y cree un nuevo proyecto con el chip AN231E04 (se recomienda que por cada proyecto tenga una única carpeta de almacenamiento).

PASO 2: DISEÑO DEL ESQUEMÁTICO

Introduzca al diseño los siguientes CAMs, para esto ejecutamos el símbolo, , *Get New CAM*, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert New Cam**.



Tabla 7. CAM's del Esquemático

CAM	PARÁMETROS
 <p>FilterBiquad</p>	Clock A: Clock 3 250.000 kHz Filter Type: High Pass Filter Topology: Type II Corner Frequency: 0.5 kHz Gain: 1 Quality Factor
 <p>SumDif</p>	Clock A: Clock 3 250.000 kHz Output Phase: Phase 1 Input 1: Inverting Input 2: Non-inverting Input 3: Off Input 4: Off Gain 1: 1 Gain 2: 1
 <p>Voltage</p>	Polarity: Positive (+2V)
 <p>OscillatorSine</p>	Clock A: Clock 3 250.000 kHz Osc. Frequency: 200 kHz Peak Amplitude: 0.5 V
 <p>Multiplier</p>	Clock A: Clock 3 250.000 kHz Clock B: Clock 0 4000.000 kHz Sample and Hold: Off Multiplier Factor: 1
 <p>FilterBiquad</p>	Clock A: Clock 3 250.000 kHz Filter Type: Low Pass Filter Topology: Automatic Corner Frequency: 8 kHz Gain: 1 Quality Factor

Fuente: Autor



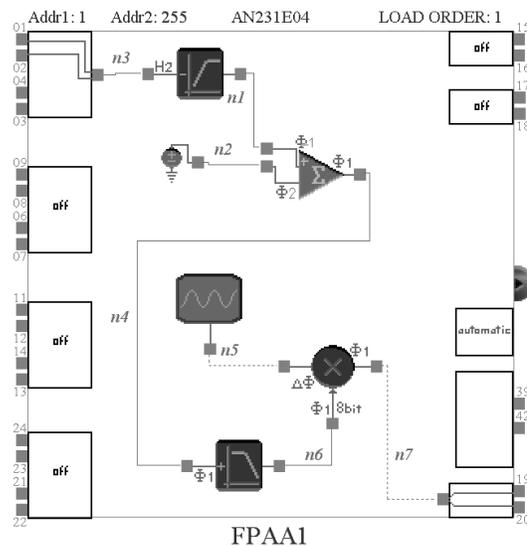
PASO 3: ESTABLEZCA LAS ENTRADAS Y SALIDAS DEL SISTEMA

- Haga doble clic sobre el primer recuadro que se encuentra al lado izquierdo-superior del chip (ver, Figura 116), esto abrirá un recuadro en el cual debe escoger “I/O Mode: Input” para que esté pin quede configurado como entrada.
- Haga doble clic sobre el ultimo recuadro que se encuentra al lado derecho-inferior del chip (ver, Figura 116), esto abrirá un recuadro en el cual debe escoger “I/O Mode: Output” para que esté pin quede configurado como salida.

PASO 4: CONEXIONES DEL DISEÑO

Realice las conexiones de tal manera que el circuito quede igual que el mostrado en la figura 116:

Figura 116. Diagrama de conexiones.



Fuente: Autor



Una vez realizadas las conexiones agregue un generador, para esto accedemos a la barra de herramientas y pinchamos en la siguiente función  *Create Signal Generator* o también podemos acceder en el menú desplegable *Simulate* → *Create Signal Generator*, de manera inmediata aparece una imagen transparente del generador de señal, desplazamos el icono hacia la posición del puerto de entrada, use otro clic para colocarlo en su sitio.

Haga doble clic sobre el generador y a continuación se mostrara una ventana con los parámetros programables del generador:

Tabla 8. Parámetros del Generador de funciones

GENERADOR	PARÁMETROS
 Sine Generator	Output: Differential Peak Amplitude: 500 mV Frequency: 1 kHz Phase : 0 Degrees Differential Offset: 250 mV Common Mode Offset: 0 V

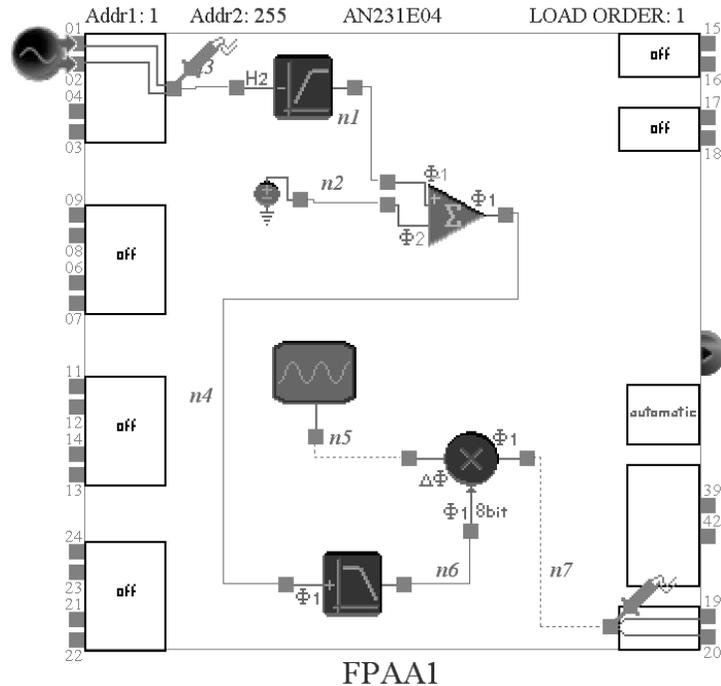
Fuente: Autor

PASO 5: SIMULACIÓN

Crear una punta de osciloscopio para obtener las señales de entrada y de salida, para esto tenga en cuenta este comando  *Create Oscilloscope Probe*, ó en el menú desplegable *Simulate* → *Create Oscilloscope Probe*.

Finalmente obtenemos el siguiente circuito:

Figura 117. Circuito Final.



Fuente: Autor

Coloque dos puntas de prueba, una en la entrada y otra en la salida del circuito

PASO 6: SIMULACIÓN

El comando *setup simulation* hace aparecer una ventana de dialogo para el ajuste del tiempo de simulación, para ejecutar este comando pinchamos en el menú **Simulate** → **Setup simulation**. Una vez abierta esta ventana modifique los ítems “*Start Time*” a 0 ms y “*End time*” a 5 ms y pulse “OK”

Para iniciar la simulación pinchamos en el siguiente símbolo , o buscamos la función en el menú **Simulate** → **Begin simulation**. Este comando ejecuta la



secuencia de simulación y muestra la ventana del osciloscopio (este proceso puede tardar un poco), detallando todos los resultados de la simulación. La tecla “Esc” detendrá la simulación.

Figura 118. Señales de salida del simulador.



Fuente: AnadigmDesigner2

Al finalizar la simulación guarde ó capture la imagen generada por el simulador para su posterior análisis.

PASO 7: ACONDICIONAMIENTO

Es posible notar que la señal envolvente no es del todo igual a la señal de información. Ajuste las diferentes ganancias del sistema de tal forma que la señal envolvente de salida sea igual a la señal de información.



PASO 8: SEÑAL REAL

Conecte el Kit de Desarrollo AN231K04-DVLP3 por medio del cable USB y el adaptador de voltaje que vienen incluidos, establezca la comunicación como lo dice el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.

Obtenga una señal de salida del Generador de funciones que cumpla los siguientes parámetros:

Tabla 9. Parámetros de la señal de entrada

Parámetros de la Señal
Señal: Sinusoidal
Voltaje pico a pico: 1 V
DC Offset :0.5 V
Frecuencia: [0.5-20] kHz

Fuente: Autor

¡ADVERTENCIA!

Las señales de voltaje ingresadas al Kit de Desarrollo AN231K04-DVLP3 deben estar siempre entre un rango de valores comprendido entre los -0.5 V hasta los +3.3 V. Ingresar señales que estén por fuera de este rango de valores causa daños irreversibles al Kit de Desarrollo.

Una vez obtenida esta señal utilice los cables de conexión (ver, figura 119) para conectar la punta del generador de funciones con el Kit de Desarrollo AN231K04-DVLP3, teniendo en cuenta los pines de entrada seleccionados en el software. En este caso *IOCell1* como entrada e *IOCell7* como salida.



Dado que se va a utilizar *IOCell1* como entrada se deben seleccionar los pines *I1P* e *I1N* como entradas positiva y negativa, respectivamente (ver figura 120).

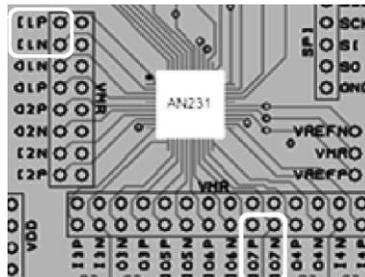
Figura 119. Cables de conexión



Fuente: Autor

Posteriormente se debe conectar la punta del osciloscopio a los pines *IO7P* e *IO7N*, como señal de salida y referencia respectivamente (ver figura 120).

Figura 120. Pines de conexión de la FPAA



Fuente: Autor

Una vez conectado todo el circuito realice la programación de la FPAA por medio del comando  que se encuentra en la barra de herramientas ó en el menú desplegable **Configure** → **Write Configuration Data to Serial Port**. Si tiene problemas con la programación consulte el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.



PASO 9: ANÁLISIS DE LAS SEÑALES OBTENIDAS

Compare si la forma de onda obtenida es similar a la señal simulada, capture (foto ó dibujo) la señal y anéxela al informe final.

Teniendo en cuenta los cuidados de la señal de entrada, modifique la señal de entrada a diferentes tipos de función tales como: señal cuadrada, señal triangular. Describa y capture las formas de onda obtenidas. Retire los filtros incluidos en el diseño y realice este paso nuevamente. Describa y capture las formas de onda obtenidas.

PASO 10: PREGUNTAS

- Describa el funcionamiento del circuito original (ver, Figura 117).
- ¿Qué tarea cumple cada CAM?
- En el circuito original (simulación) intercambie las entradas del multiplicador. ¿Qué pasa con la señal de salida? ¿Hay cambios?
- ¿Es posible generar una modulación de amplitud utilizando otro tipo de CAMs? Justifique su respuesta.

- ¿Qué cantidad de potencia consume el montaje y que recursos utiliza? Descríbalos.
- Según sus palabras ¿Es útil la implementación de este circuito?, ¿Cuáles son sus ventajas y desventajas?

C RESULTADOS Y CONCLUSIONES

Realice los diferentes pasos y genere un informe con sus observaciones y respuestas a cada uno de los pasos



CARRERA		NRC	NOMBRE DE LA ASIGNATURA
Ingeniería Electrónica			Dispositivos Electrónicos
PRÁCTICA No.	LABORATORIO DE		
3	Electrónica Analógica		
DURACIÓN	NOMBRE DE LA PRÁCTICA		
2 Horas	Implementación de filtros con AnadigmDesigner2		
1 INTRODUCCIÓN			
<p>El sonido es la sensación que nota el oído cuando esté, entra en contacto con las vibraciones de frecuencias comprendidas entre los 20 Hz y 20 kHz. Una señal de audio se puede manipular por medio de su frecuencia y magnitud¹⁴, esto se logra mediante filtros que según su diseño se encargan de separar en bandas la señal original y así poder darle un tratamiento más especializado según sea necesario.</p> <p>Para esto se cuenta con los ecualizadores, los filtros y otros tipos de tecnologías. Los filtros tradicionales como lo son los pasa altos, pasa bajos, pasa banda y rechaza banda se encargan básicamente de trabajar sobre la magnitud, aumentándola o disminuyéndola¹⁵.</p>			
2 OBJETIVO			
<p>El objetivo de esta sesión de laboratorio consiste en implementar filtros usando la herramienta <i>AnadigmFilter</i> que viene incluida con el software AnadigmDesigner2, a través de un diseño guiado.</p>			
3 FUNDAMENTO TEÓRICO			
<p>En esta guía de laboratorio manejamos de una manera superficial el tema propuesto en esta sesión. Al estudiar el comportamiento de las señales eléctricas podemos encontrar que estas están compuestas por frecuencias que sumadas en</p>			

¹⁴ <http://www.kettering.edu/~bguru/Filters/AF11.pdf>

¹⁵ <http://eie.ucr.ac.cr/uploads/file/proybach/pb0720t.pdf>

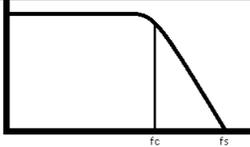
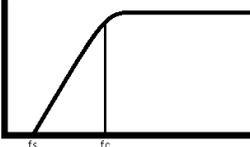
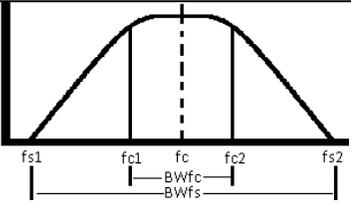
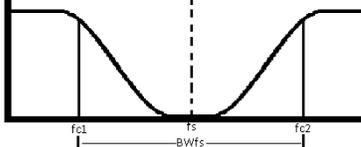


un medio dan como resultado una señal final¹⁶; para el análisis y manipulación de estas señales es necesario separarlas de tal forma que su comprensión y manejo se faciliten.

Como solución se plantea el uso de filtros, cuya tarea es de dejar pasar solo las señales que están comprendidas entre un rango de frecuencias. Se considera como frecuencia de corte (f_c) a la frecuencia para la que el filtro realiza una atenuación de -3dB normalmente.

Existen diferentes tipos de filtros, a continuación haremos una breve explicación:

Tabla 10. Tipos De Filtros¹⁷

Filtro	Respuesta
Filtro Pasa Bajos (Low Pass Filter): Este tipo de filtro permite pasar la señal de información hasta cierta frecuencia (f_c). Todas las señales cuya frecuencia sea mayor a f_c se atenúan.	
Filtro Pasa Altos (High Pass Filter): Este tipo de filtro funciona como el complemento al filtro pasa bajos ó en otras palabras atenúa las señales cuya frecuencia sea menor que f_c .	
Filtro Pasa Banda (Band Pass Filter): Surgen de la combinación de los filtros pasa bajos y pasa altos, donde en la banda de paso se encontrarán las frecuencias deseadas, y el resto de las frecuencias serán atenuadas.	
Filtro Rechaza Banda (Band Stop Filter): su funcionamiento es inverso al filtro pasa banda.	

Fuente: Autor

¹⁶ <http://www.mailxmail.com/curso/vida/practicosonido>

¹⁷ http://www.astormastering.com.ar/Clase_3_Filtros_y_Ecualizadores.pdf

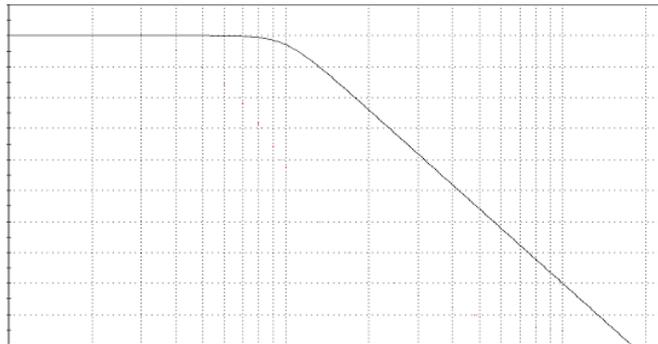


Respuestas de los Filtros¹⁸

Dependiendo del tipo de señal se pueden implementar diferentes tipos de filtrado, tales como filtros pasa bajo, pasa alto, pasa banda o rechaza banda entre otros. Estos se pueden realizar con diferentes tipos, “familias”, entre las que están:

➤ **Filtros Butterworth:** Esta familia de filtros tiene buenas características transitorias. La respuesta de frecuencia es extremadamente plana, cerca a un nivel de DC y asintóticamente llega a una cuesta con una pendiente de $n \times 6$ dB ($n =$ orden) por octava en la región de la detección de la banda. En las proximidades de la frecuencia de corte es ligeramente redondeada. La familia Butterworth es ampliamente utilizada, ya que en sus diseños se obtienen valores prácticos de los componentes con tolerancias menos críticas que los otros tipos de filtros.

Figura 121. Respuesta en frecuencia de un Filtro Butterworth.



Fuente: Autor

¹⁸WILLIAMS, ARTHUR B. Amplificadores Operacionales. Teoría y Aplicaciones. Editorial McGraw-Hill, 1988.



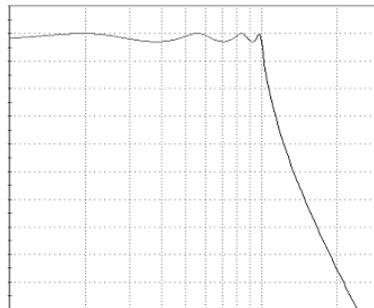
Si llamamos H a la respuesta en frecuencia, se debe cumplir que las $2n-1$ primeras derivadas de $|H(\Omega)|^2$ sean cero para $\Omega = 0$ y $\Omega = \infty$. Únicamente posee polos y la función de transferencia es:

$$|H(\Omega)|^2 = \frac{1}{1 + (\Omega/\Omega_c)^{2N}}$$

donde n es el orden del filtro, Ω_c es la frecuencia de corte (en la que la respuesta cae 3 dB por debajo de la banda pasante) y Ω es la frecuencia analógica compleja ($\Omega=j\omega$)¹⁹.

- **Filtros Chebyshev:** la familia de filtros Chebyshev se caracteriza por una fuerte pendiente de atenuación en la banda de detención en comparación con la familia Butterworth. Esto se logra a expensas de rizados en la banda de paso del filtro. Para un filtro de orden n , un aumento en la magnitud de los rizados aumenta la velocidad de descenso en banda pasante. Sin embargo, las propiedades transitorias son inferiores que las de un Butterworth y se dañan aún más al incrementar el rizado.

Figura 122. Respuesta en frecuencia de un Filtro Chebyshev



Fuente: Autor

¹⁹ http://es.wikipedia.org/wiki/Filtro_de_Butterworth



Estos filtros únicamente tienen polos, presentan un rizado constante en la banda pasante y presentan una caída monótona en la banda de rechazo.

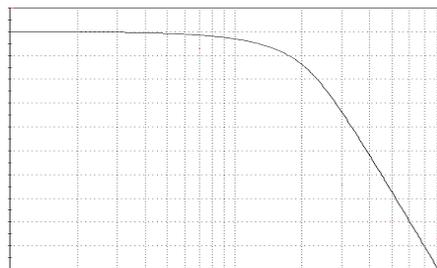
la respuesta en frecuencia es:

$$|H(\Omega)|^2 = \frac{1}{1 + \epsilon^2 T_N^2\left(\frac{\Omega}{\Omega_c}\right)} \text{ para } 0 \leq \epsilon \leq 1$$

donde N es el orden del filtro, Ω_c es la frecuencia de corte, Ω es la frecuencia analógica compleja ($\Omega = j\omega$) y $T_N(x)$ es el polinomio de Chebyshev de orden N ²⁰.

➤ **Filtros Bessel:** una de las principales características de este filtro es la fiel reproducción de una forma de onda pulsante. Estos filtros tienen una muy buena aproximación con un retraso constante, sobre todo para valores altos de n. Las características de su respuesta en frecuencia son extremadamente pobres en comparación con los tipos de Butterworth o Chebyshev. La banda pasante es redonda y la pendiente de atenuación es muy inferior en las primeras octavas. No obstante, la superioridad de sus propiedades transitorias hace que esta familia sea muy útil.

Figura 123. Respuesta en frecuencia de un Filtro Bessel.



Fuente: Autor

²⁰ http://es.wikipedia.org/wiki/Filtro_de_Chebyshev



Están diseñados para tener una fase lineal en las bandas pasantes, por lo que no distorsionan las señales; por el contrario tienen una mayor zona de transición entre las bandas pasantes y no pasantes.

Cuando estos filtros se transforman a digital pierden su propiedad de fase lineal.

Su respuesta en frecuencia es:

$$H(s) = \frac{1}{\sum_{k=0}^N a_k \cdot s^k}$$

donde N es el orden del filtro y el denominador es un polinomio de Bessel²¹, cuyos coeficientes son:

$$a_k = \frac{(2N - k)!}{2^{N-k} \cdot k! \cdot (N - k)!}, \text{ con } k=0, 1, 2, \dots, N$$

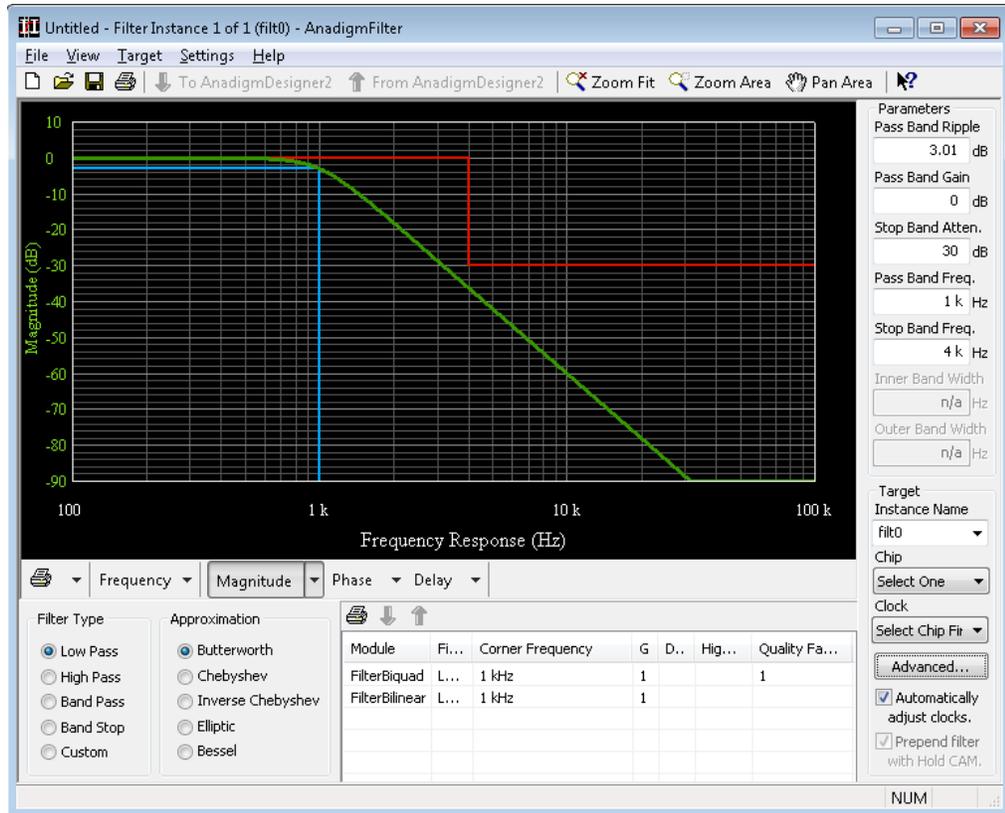
ANADIGMFILTER

La herramienta *AnadigmFilter* se utiliza para el diseño de filtros de orden superior. En el conjunto de CAMs que ofrece AD2 podemos encontrar filtros de primer y segundo orden, que sólo requieren la selección de la frecuencia, la ganancia y Q. Estos filtros se pueden conectar en cascada para obtener filtros de orden superior, pero no es una manera eficaz, ya que por lo general requiere el uso de materiales de referencia de diseño de filtrado suplementarios y cálculos manuales. Como alternativa, *AnadigmFilter* automatiza completamente el diseño y aplicación de filtros de orden superior. Y así el diseño e implementación de un filtro se puede lograr en unos pocos pasos.

²¹ http://es.wikipedia.org/wiki/Filtro_de_Bessel



Figura 124. Herramienta AnadigmFilter.



Fuente: AnadigmDesigner2

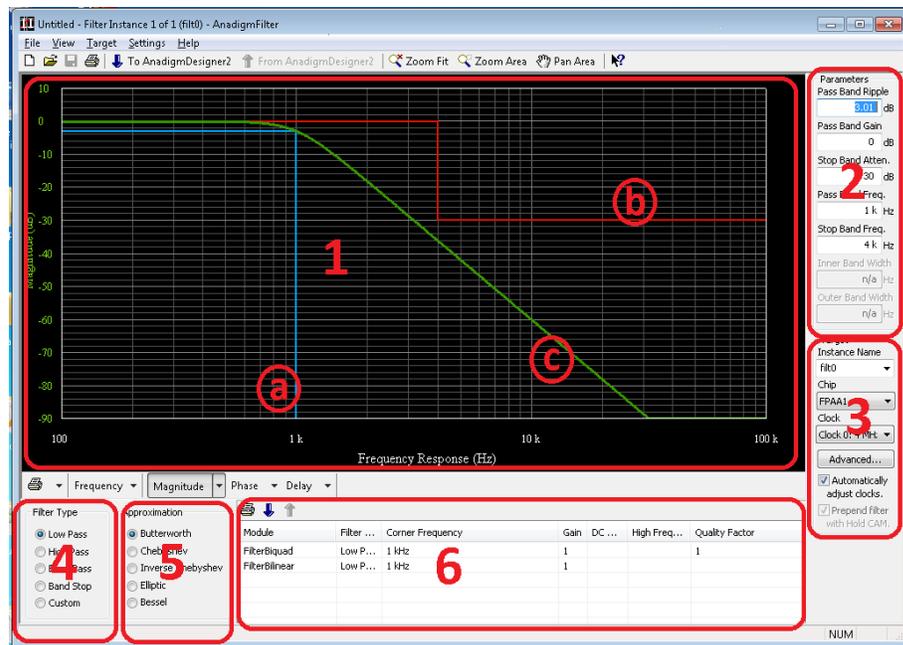
En el software AnadigmFilter se diseñará el filtro para luego ser exportado a AD2. La herramienta AnadigmFilter crea tantas FPAA como sean necesarias para la realización del filtro, y ubicará en estas las CAMs de filtro de orden inferior junto con todos los parámetros y conexiones necesarias, a fin de realizar el diseño del filtro de orden superior. Con AnadigmFilter se pueden diseñar e implementar filtros de orden muy elevado en poco tiempo. La ventana principal de AnadigmFilter tiene ajustes para la selección del tipo de aproximación de familia ya sea Butterworth, Chebyshev, Chebyshev inverso, Elíptico, y Bessel.



EXPLICACIÓN DE LA HERRAMIENTA

Acceda a la herramienta *AnadigmFilter*, que está ubicada en el menú desplegable **Tools** → **AnadigmFilter** en el software AD2. Esto abrirá una ventana (ver, Figura 125) de la herramienta.

Figura 125. Herramienta AnadigmFilter.



Fuente: AnadigmDesigner2

En AnadigmFilter se pueden encontrar diferentes secciones (ver, Figura 125), tales como: visualización de la grafica del filtro (1), parámetros del filtro (2), chip y reloj de funcionamiento (3), tipo de filtro (4), tipo familia (5) y CAMs utilizados (6), entre otros.



Secciones:

- Visualización de la grafica del filtro (1):

En esta sección encontramos tres líneas importantes:

- Línea azul (a): En su sección vertical indica la frecuencia de pasa banda y en su sección horizontal el rizado en la sección de pasa banda del filtro.
- Línea roja (b): En su sección vertical indica la frecuencia de rechazo de banda, en su sección horizontal superior la ganancia en la sección de pasa banda del filtro y en su sección horizontal inferior la atenuación en la banda de rechazo.
- Línea verde (c): Es la forma final del filtro, su trazo depende del tipo de familia y del tipo de filtro utilizados. Esta línea se puede visualizar de dos formas en magnitud vs frecuencia y en voltaje vs frecuencia, esto último modificando el valor por defecto en el menú de **Magnitudo** a “**Volts per Volts**”, este menú se encuentra en la parte inferior de esta sección.

Al realizar una modificación en la línea azul y/o roja se modificaran los valores en la sección de *parámetros del filtro* y estos valores tomaran el valor establecido en la grafica. Otras opciones de visualización son posibles de configurar, pero en este estudio no se explicaran.

- Parámetros del filtro (2):

En esta sección podemos encontrar los diferentes parámetros configurables, tales como: rizo de pasa banda, ganancia de pasa banda, atenuación de rechazo de



banda, frecuencia de pasa banda, frecuencia de rechazo de banda, ancho de banda de pasa banda, ancho de banda de rechaza banda entre otros. Todos estos dependen del tipo del filtro y pueden ser usados con tres cifras después del punto decimal. Al modificar alguno de estos valores se modificara la grafica del filtro resultante, mostrando el comportamiento del filtro.

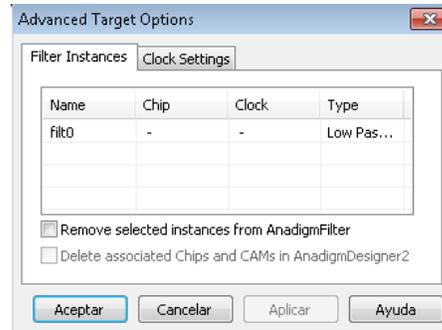
- Chip y reloj de funcionamiento (3):

En esta sección se encuentran algunos ítems de configuración que son importantes para el buen funcionamiento del filtro dichos ítems son:

- *Instance Name*: Dado que es posible la inclusión de dos o más filtros en un solo chip, es necesario separarlos por nombres para su identificación y configuración. Para agregar un nuevo filtro se debe escoger la opción “*New Instance...*”.
- *Chip*: En esta opción se puede escoger el chip en el cual se desea colocar el nuevo filtro, ya que es posible utilizar más de un chip para crear un filtro de mayor orden u otra aplicación.
- *Clock*: Para un buen funcionamiento del filtro es necesario escoger la fuente de reloj que el filtro usara para su funcionamiento, esto dado que el chip cuanta con más de una fuente de reloj.
- *Advanced*: Al ejecutar esta opción se abrirá una ventana (ver figura 125), en este estudio utilizaremos esta opción solo la para la eliminación de algún filtro ya creado, para esto se debe resaltar el filtro a eliminar y habilitar la opción *Remove selected instances from AnadigmFilter* y después dar clic en aceptar.



Figura 126. Opción *Advanced*



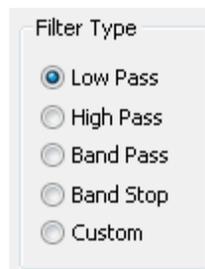
Fuente: AnadigmDesigner2

- *Automatically adjust clocks*: Se debe habilitar esta opción para que el software ajuste de forma automática la fuente de reloj del filtro, y así poder optimizar los recursos del sistema.

- Tipo de filtro (4):

En este menú podemos seleccionar el tipo de filtro deseado ya sea pasa bajos, pasa altos, pasa banda, rechaza banda y por ultimo la opción *Custom* con la cual se congela los parámetros del filtro configurado.

Figura 127. Tipos de Filtro.



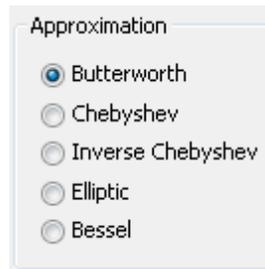
Fuente: AnadigmDesigner2



- Tipo familia (5):

El tipo de familia de filtro es un parámetro muy importante a escoger ya que de esté depende el comportamiento del filtro para como se explico anteriormente.

Figura 128. Tipos de Familia de filtro.



Fuente: AnadigmDesigner2

- CAMs utilizados (6):

Esta es una de las secciones más importantes de esta herramienta. Una vez configurados todos los parámetros mencionados anteriormente podemos observar los CAMs utilizados para la realización del filtro además de los parámetros internos de cada uno.

En esta sección también podemos encontrar tres iconos muy importantes tales como:

- *Print List* (🖨️): Su función es la de generar una lista con todos los CAMs y sus parámetros internos para imprimir.
- *Send to AnadigmDesigner2* (⬇️): Su función es enviar el filtro programado al software AD2 y así este último genera los CAMs y las conexiones internas necesarias para el funcionamiento del filtro.



- Update from *AnadigmDesigner2* (↑): Su función es actualizar cualquier cambio de los parámetros internos de los CAMs (esta opción solo se recomienda para usuarios avanzados).

➤ Análisis de Datos

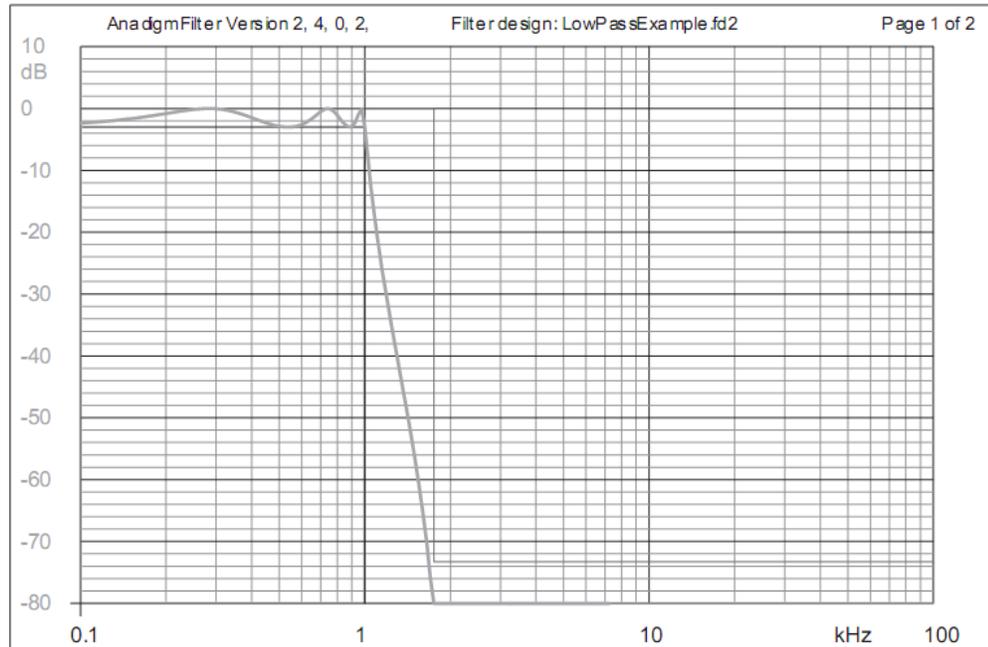
Los datos de respuesta de Filtros se pueden exportar para su análisis con el elemento de menú **File** → **Save Analysis File (CSV)**, con esto se crea un archivo .csv con las columnas de: frecuencia, magnitud [dB], Magnitud [V/V], fase entre otros.

➤ Exportar e Imprimir

Con el objetivo de conservar la información del filtro de forma grafica (ver, Figura 129), es posible guardar la configuración y forma del filtro por medio de la opción exportar a través del menú **File** → **Export** → **Filter Desing Report** ó por medio de la opcion imprimir que se encuentra en el menu **File** → **Print** → **Print Filter Desing Report**



Figura 129. Formato generado por AnadigmFilter.



AnadigmFilter Version 2, 4, 0, 2, Filter design: LowPassExample.f2 Page 2 of 2

The parameters for this filter are saved in file: LowPassExample.f2.f2

Target Chip type: AN221E04
Filter Type: Low Pass
Approximation: Elliptic
Filter is optimized for Small signal input

Filter Parameters:

Passband Ripple: 3 dB
Overall Gain: 0 dB
Stop Band Attenuation: 73.3 dB
Corner Frequency: 1 KHz
Stop Frequency: 1.75 KHz
Master Clock Frequency: 2e+007 KHz
CAM Clock Frequency: 49.2611 KHz

The following Anadigm CAMs are needed to realize this filter:

Chip: FILTER0

Instance	Clock	Module	Type	Phase	Fo-KHz	DC Gn	HF Gn	Q
CAM: Stage0	ClockA 0	FILTERBIQUAD	BS	1	0.327	14.1	0.0392	1.06
CAM: Stage1	ClockA 0	FILTERBIQUAD	BS	1	0.757	0.382	0.0392	3.84
CAM: Stage2	ClockA 0	FILTERBIQUAD	BS	1	0.981	0.132	0.0392	15.5

Fuente: AnadigmDesigner2



4 PROCEDIMIENTO

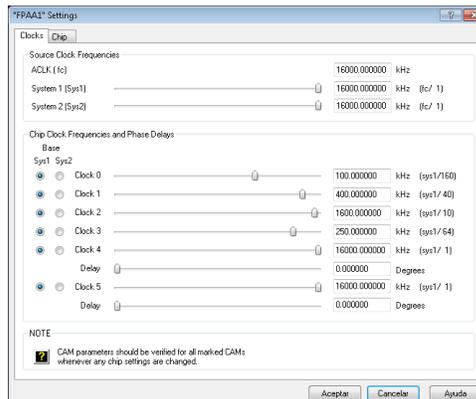
A	EQUIPO NECESARIO	MATERIAL DE APOYO
	PC Software AnadigmDesigner2 Kit de Desarrollo AN231K04-DVLP3 Generador de Funciones y/ó señal de audio Osciloscopio	Práctica Impresa
B	DESARROLLO DE LA PRACTICA	

PASO 1: CREACIÓN DEL PROYECTO E INICIALIZACIÓN

Acceda al software AD2 y cree un nuevo proyecto con el chip AN231E04 (se recomienda que por cada proyecto tenga una única carpeta de almacenamiento).

Con el objetivo de un buen funcionamiento de los filtros que a continuación se van a crear, es necesario modificar las fuentes de reloj internas. Acceda al menú **Settings** → **Active Chip Settings** ó haga doble clic sobre el chip en pantalla.

Figura 130. Ventana de configuración de las fuentes de reloj del chip



Fuente: AnadigmDesigner2



Modifique los valores de los relojes moviendo el cursor respectivo. Establezca los siguientes valores:

Figura 131. Valores de los Relojes.

Clock 0 (sys1 / 160)	100 kHz
Clock 1 (sys1 / 40)	400 kHz
Clock 2 (sys1 / 10)	1.6 MHz
Clock 3 (sys1 / 64)	250 kHz
Clock 4 (sys1 / 1)	16 MHz
Clock 5 (sys1 / 1)	16 MHz

Fuente: Autor

PASO 2: HERRAMIENTA “AnadigmFilter”

Acceda a *AnadigmFilter*, que está ubicada en el menú desplegable **Tools** → **AnadigmFilter** en el software AD2. Una vez abierta la aplicación cree los siguientes filtros:

Tabla 11. Parámetros del Filtro 0

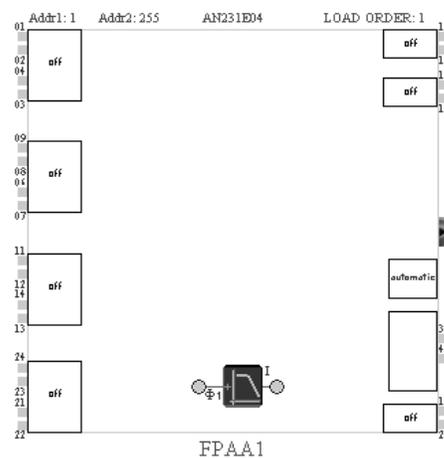
Paso	Opción	Valor
1	Filter Type	Low Pass
2	Approximation	Butterworth
3	Pass band Ripple	3 dB
4	Pass band Gain	-1 dB
5	Stop Band Attenuation	14 dB
6	Pass Band Frequency	1 kHz
7	Stop Band Frequency	2.25 kHz
8	Clock	Clock 0



Fuente: Autor

El resto de las opciones no las modifique. Una vez establecidos estos valores envíe el filtro al software AD2 dando clic en la opción **Send to AnadigmDesigner2** (↓). Esto dará como resultado la figura 132.

Figura 132. Filtro 0.



Fuente: AnadigmDesigner2

Regrese a la herramienta AnadigmFilter y cree un nuevo filtro; para esto vaya a la opción **Instance Name** y escoja la opción **New Instance** y luego en la opción **Chip** escoja **FPAA1**. Hecho esto introduzca los siguientes datos:



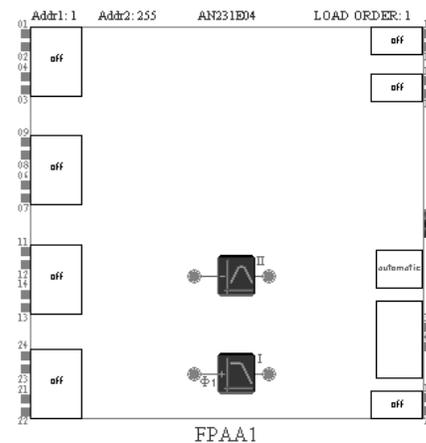
Tabla 12. Parámetros del Filtro 1

Paso	Opción	Valor
1	Filter Type	Band Pass
2	Approximation	Chebyshev
3	Pass band Ripple	3 dB
4	Pass band Gain	-1 dB
5	Stop Band Attenuation	13 dB
6	Center Frequency	4 kHz
7	Stop Band Frequency	6.25 kHz
8	Pass Band Frequency	1.42 kHz
9	Clock	Clock 1

Fuente: Autor

El resto de las opciones no las modifique. Una vez establecidos estos valores envíe el filtro al software AD2 dando clic en la opción **Send to AnadigmDesigner2** (↓). Esto dará como resultado la figura 133.

Figura 133. Filtro 1.



Fuente: AnadigmDesigner2



Regrese a la herramienta AnadigmFilter y cree un nuevo filtro; para esto vaya a la opción **Instance Name** y escoja la opción **New Instance** y luego en la opción **Chip** escoja **FPA1**. Hecho esto introduzca los siguientes datos:

Tabla 13. Parámetros del Filtro 2

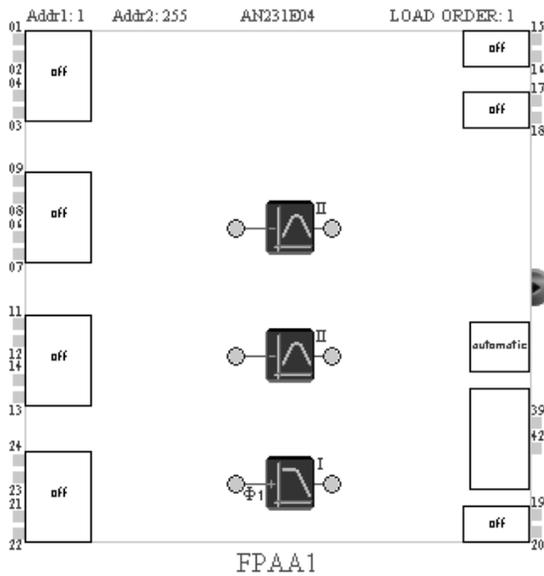
Paso	Opción	Valor
1	Filter Type	Band Pass
2	Approximation	Butterworth
3	Pass band Ripple	3 dB
4	Pass band Gain	-1 dB
5	Stop Band Attenuation	14 dB
6	Center Frequency	15 kHz
7	Stop Band Frequency	50 kHz
8	Pass Band Frequency	10 kHz
9	Clock	Clock 2

Fuente: Autor

El resto de las opciones no las modifique. Una vez establecidos estos valores envíe el filtro al software AD2 dando clic en la opción **Send to AnadigmDesigner2** (↓). Esto dará como resultado la figura 134.



Figura 134. Filtro 2.



Fuente: AnadigmDesigner2

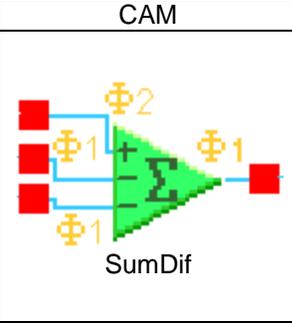
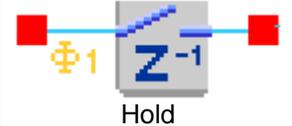
*Guarde el proyecto en la carpeta ya seleccionada anteriormente y guarde los parámetros para un posterior análisis.

PASO 3: FINALIZACIÓN DEL DISEÑO

Introduzca al diseño los siguientes CAMs, para esto ejecutamos el símbolo,  Get New CAM, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert New Cam**.



Tabla 14. CAM's adicionales

CAM	PARÁMETROS
 <p>The diagram shows a SumDif CAM block. It has three input pins on the left, each connected to a red square. The top input is labeled $\Phi 2$, the middle $\Phi 1$, and the bottom $\Phi 1$. The block is a green triangle with a summation symbol Σ and a differential symbol Δ. The output is a red square on the right, labeled $\Phi 1$.</p>	<ul style="list-style-type: none">• Clock A: Clock 3 250.000 kHz• Output Phase: Phase 1• Input 1: Non-Inverting• Input 2: Inverting• Input 3: Inverting• Input 4: Off• Gain 1: 1.80• Gain 2: 1.25• Gain 3: 1.20
 <p>The diagram shows a Hold CAM block. It has one input pin on the left, connected to a red square, labeled $\Phi 1$. The block is a grey rectangle with a blue arrow pointing right and a Z^{-1} symbol. The output is a red square on the right.</p>	<ul style="list-style-type: none">• Clock A: Clock 3 250.000 kHz• Input Sampling Phase: Phase 1

Fuente: Autor

PASO 4: ESTABLEZCA LAS ENTRADAS Y SALIDAS DEL SISTEMA

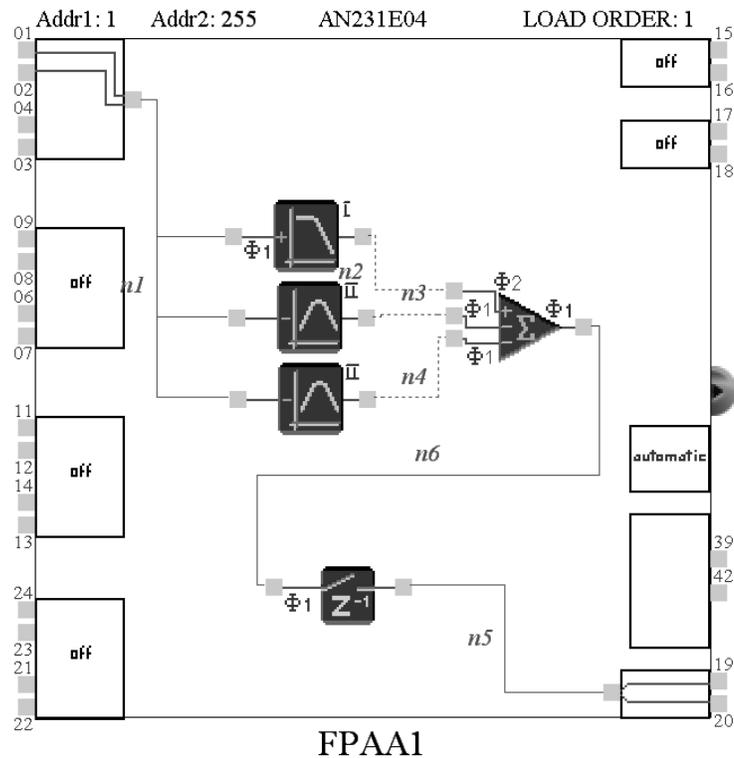
1. Haga doble click sobre el primer recuadro que se encuentra al lado izquierdo-superior del chip (ver, Figura 135), esto abra un recuadro en el cual debe escoger "*I/O Mode: Input*" para que esté pin quede configurado como entrada.
2. Haga doble click sobre el ultimo recuadro que se encuentra al lado decho-inferior del chip (ver, Figura 135), esto abra un recuadro en el cual debe escoger "*I/O Mode: Output*" para que esté pin quede configurado como salida.



PASO 5: REALICE LAS CONEXIONES

Realice las conexiones de tal manera que el circuito quede igual que el mostrado en la figura 135.

Figura 135. Diagrama de conexiones.



Fuente: AnadigmDesigner2

PASO 6: GENERADOR DE FUNCIONES

Una vez realizadas las conexiones agregue un generador, para esto accedemos a la barra de herramientas y pinchamos en la siguiente función  Create Signal Generator o también podemos acceder en el menú desplegable **Simulate** → **Create Signal Generator**, de manera inmediata aparece una imagen transparente



del generador de señal, desplazamos el icono hacia la posición del puerto de entrada, use otro click para colocarlo en su sitio.

Haga doble clic sobre el generador y a continuación se mostrará una ventana con los parámetros programables del generador:

Tabla 15. Parámetros del Generador de Funciones

GENERADOR	PARÁMETROS
 Sine Generator	<ul style="list-style-type: none">• Output: Differential• Peak Amplitude: 1 V• Frequency: 4 kHz• Phase : 0 Degrees• Differential Offset: 0 V• Common Mode Offset: 0 V

Fuente: Autor

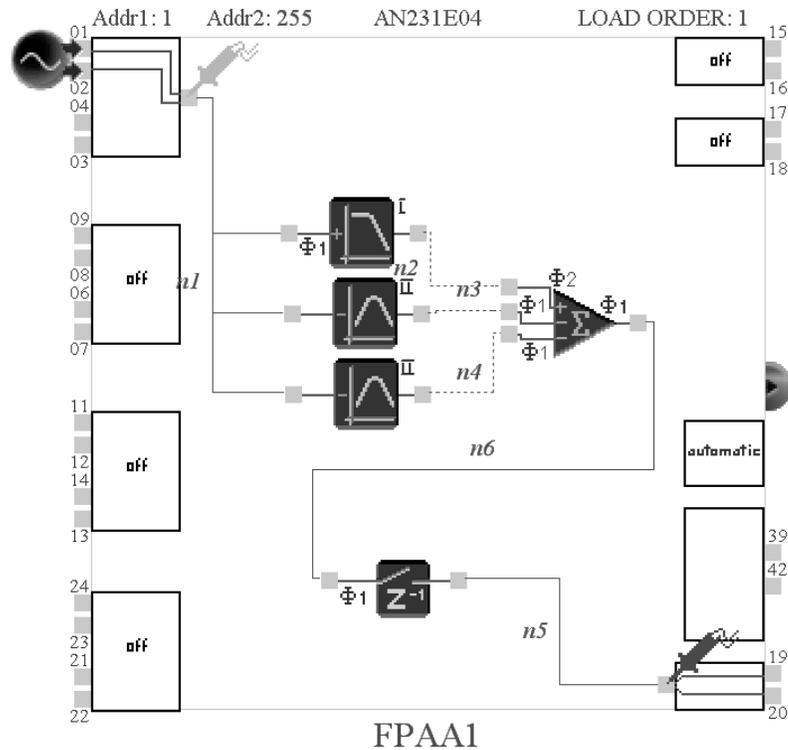
PASO 7: SIMULACIÓN

Crear una punta de osciloscopio para obtener las señales de entrada y de salida, para esto tenga en cuenta este comando  (Create Oscilloscope Probe), ó en el menú desplegable **Simulate** → **Create Oscilloscope Probe**, el comportamiento de este ítem es muy parecido al descrito para el generador de funciones.

Finalmente obtenemos el siguiente circuito:



Figura 136. Circuito 1



Fuente: AnadigmDesigner2

Coloque dos puntas de prueba, una en la entrada y otra en la salida del circuito

- Tiempo de Simulación

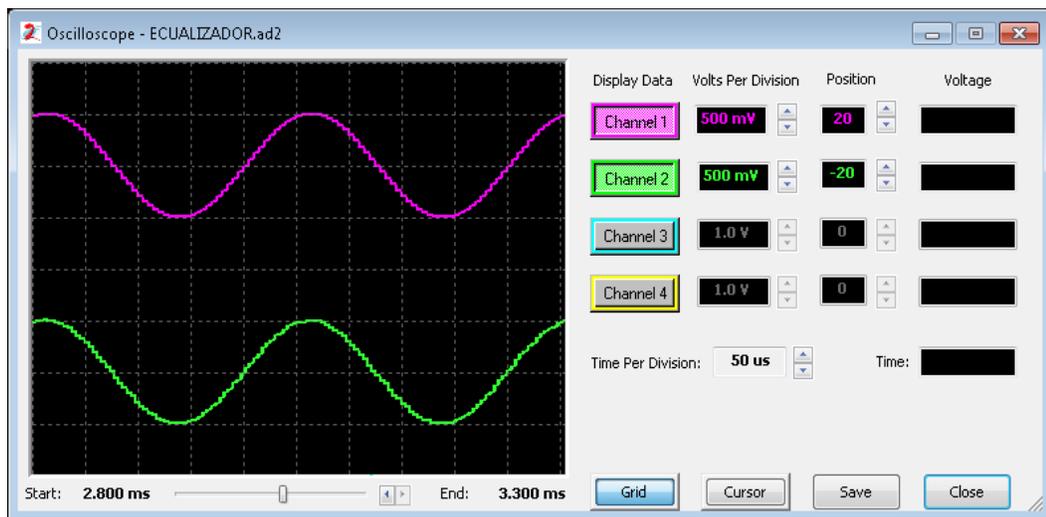
El comando *setup simulation* hace aparecer una ventana de dialogo para el ajuste del tiempo de simulación, para ejecutar este comando pinchamos en el menú **Simulate** → **Setup simulation**. Una vez abierta esta ventana modifique los ítem “*Start Time*” a 0 ms y “*End time*” a 5 ms y pulse “OK”



- Empezar la Simulación

Para ejecutar esta función pinchamos en el siguiente símbolo **Sim**, o buscamos la función en el menú **Simulate** → **Begin simulation**. Este comando ejecuta la secuencia de simulación y muestra la ventana del osciloscopio (este proceso puede tardar un poco), detallando todos los resultados de la simulación. La tecla **Esc** detendrá la simulación.

Figura 137. Simulación.



Fuente: AnadigmDesigner2

Al finalizar la simulación guarde ó capture la imagen generada por el simulador para su posterior análisis.



PASO 8: SEÑALES

Cambie la señal de entrada por tres señales diferentes (1 kHz, 15 kHz y 7.5 kHz), realice el mismo procedimiento de simulación, saque sus observaciones y conclusiones.

PASO 9: ANÁLISIS

En el circuito anterior podemos encontrar que solo es posible configurar la atenuación de las tres bandas mediante software, lo cual hace que no sea práctico a la hora de estar realizando ajustes a las señales.

Preguntas:

- Describa el funcionamiento del circuito.
- ¿Que cantidad de potencia consume el montaje y que recursos utiliza? Descríbalos.
- Según sus palabras ¿Es útil la implementación de este montaje?, ¿Cuales son sus ventajas y desventajas?

PASO 10: FILTRO CON ATENUACIÓN MODIFICABLE EXTERNA

Acceda al software AD2 y cree un nuevo proyecto con el chip AN231E04. Luego abra la herramienta *AnadigmFilter*, que esta ubicada en el menú desplegable **Tools** → **AnadigmFilter** en el software AD2. Una vez abierta la aplicación cree el siguiente filtro:



Tabla 16. Parámetros Filtro

Paso	Opción	Valor
1	Filter Type	Band Pass
2	Approximation	Butterworth
3	Pass band Ripple	3 dB
4	Pass band Gain	-1 dB
5	Stop Band Attenuation	30 dB
6	Center Frequency	2 kHz
7	Stop Band Frequency	6.4 kHz
8	Pass Band Frequency	2 kHz
9	Clock	Clock 0

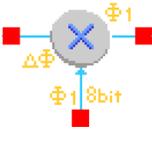
Fuente: Autor

El resto de las opciones no las modifique. Una vez establecidos estos valores envíe el filtro al software AD2 dando clic en la opción **Send to AnadigmDesigner2** (↓).

Inserte al diseño los siguientes CAMs, para esto ejecutamos el símbolo,  Get New CAM, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert New Cam**.



Tabla 17. CAM's Adicionales

CAM	PARÁMETROS
 SumDif	<ul style="list-style-type: none">• Clock A: Clock 3 250.000 kHz• Clock B: Clock 2 4000.000 kHz• Sample and Hold: Off• Multiplier Factor: 1
 Hold	<ul style="list-style-type: none">• Clock A: Clock 3 250.000 kHz• Input Sampling Phase: Phase 1

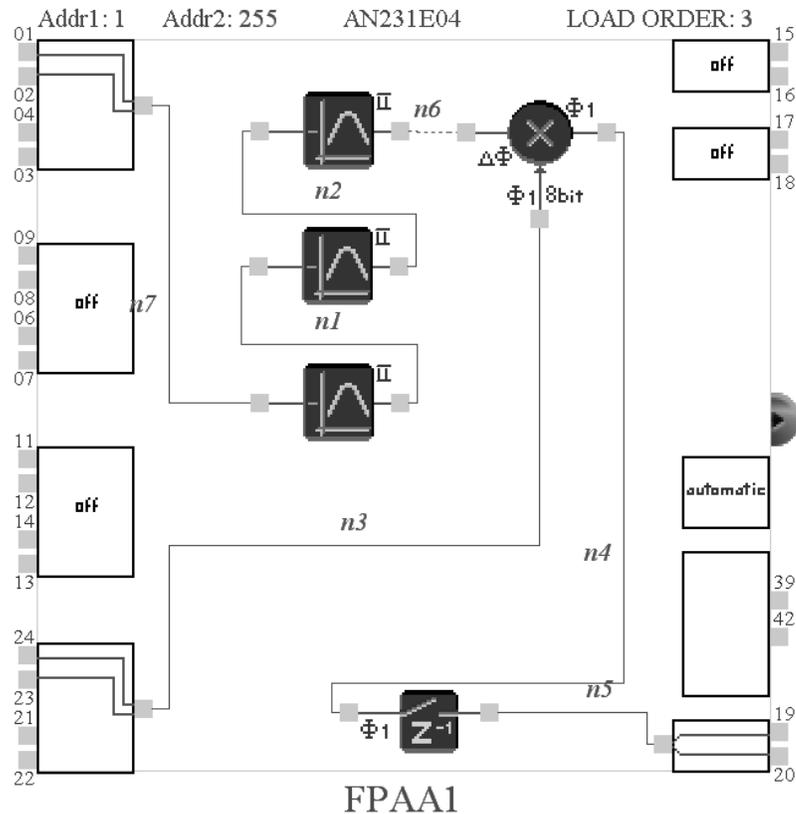
Fuente: Autor

- Haga doble click sobre el primer recuadro que se encuentra al lado izquierdo-superior del chip, esto abra un recuadro en el cual debe escoger “*I/O Mode: Input*” para que esté pin quede configurado como entrada.
- Haga doble click sobre el ultimo recuadro que se encuentra al lado izquierdo-inferior del chip, esto abra un recuadro en el cual debe escoger “*I/O Mode: Input*” para que esté pin quede configurado como entrada.
- Haga doble click sobre el ultimo recuadro que se encuentra al lado decho-inferior del chip, esto abra un recuadro en el cual debe escoger “*I/O Mode: Output*” para que esté pin quede configurado como salida.

Realice las conexiones de tal manera que el circuito quede igual que el mostrado en la figura 138.



Figura 138. Circuito 2



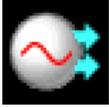
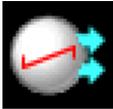
Fuente: AnadigmDesigner2

Agregue dos generadores, para esto accedemos a la barra de herramientas y pinchamos en la siguiente función  (Create Signal Generator) o también podemos acceder en el menú desplegable **Simulate** → **Create Signal Generator**, de manera inmediata aparece una imagen transparente del generador de señal, desplazamos el icono hacia la posición del puerto de entrada, use otro click para colocarlo en su sitio.

Haga doble clic sobre el generador y a continuación se mostrara una ventana con los parámetros programables del generador:



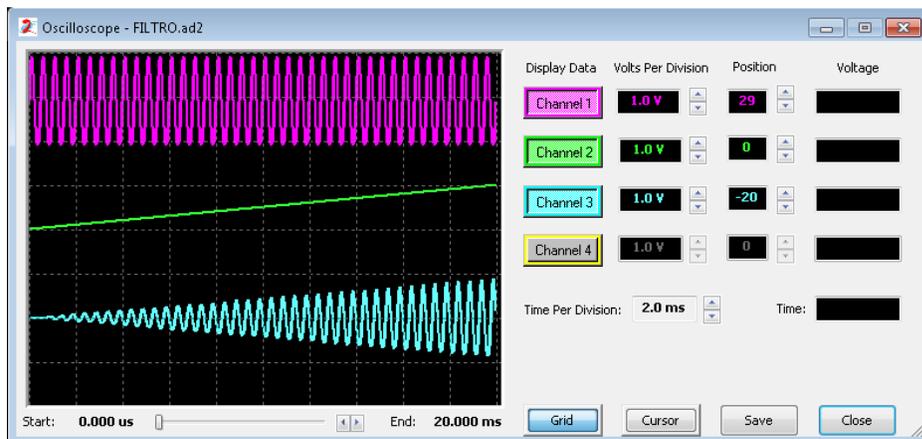
Tabla 18. Parámetros Generadores

GEN 1	PARÁMETROS	GEN 2	PARÁMETROS
 Sine Generator	<ul style="list-style-type: none"> • Output: Differential • Peak Amplitude: 1 V • Frequency: 4 kHz • Phase : 0 Degrees • Differential Offset: 0 V • Common Mode Offset: 0 V 	 Sawtooth Generator	<ul style="list-style-type: none"> • Output: Differential • Peak Amplitude: 1 V • Frequency: 50 Hz • Phase : 0 Degrees • Differential Offset: 1 V • Common Mode Offset: 0 V

Fuente: Autor

Agregue las puntas de osciloscopio a las entradas y luego a la salida, establezca el tiempo de simulación de 0 a 20 ms y simule (este proceso puede tardar un poco).

Figura 139. Simulación circuito 2.



Fuente: AnadigmDesigner2



- Describa el funcionamiento del circuito.
- ¿Qué cantidad de potencia consume el montaje y que recursos utiliza? Descríbalos.
- Según sus palabras ¿Es útil la implementación de este montaje?, ¿Cuáles son sus ventajas y desventajas?

PASO 11: SEÑAL REAL

Conecte el Kit de Desarrollo AN231K04-DVLP3 por medio del cable USB y el adaptador de voltaje que vienen incluidos, establezca la comunicación como lo dice el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.

Obtenga una señal de salida del Generador de funciones que cumpla los siguientes parámetros:

Tabla 19. Parámetros de las Señales de Entrada

Fuente 1 (IOCell1)	Fuente 2 (IOCell4)
<ul style="list-style-type: none">• Señal: Sinusoidal o de audio• Voltaje pico a pico: 1 V a 3.3 V• DC Offset : Voltaje pico a pico/2• Frecuencia: [0.5-20] kHz	<ul style="list-style-type: none">• Señal: Nivel DC• Voltaje: [0-3.3] V

Fuente: Autor

¡ADVERTENCIA!

Las señales de voltaje ingresadas al Kit de Desarrollo AN231K04-DVLP3 deben estar siempre entre un rango de valores comprendido entre los -0.5 V hasta los +3.3 V. Ingresar señales que estén por fuera de este rango de valores causa daños irreversibles al Kit de Desarrollo.



Una vez obtenida esta señal utilice los cables de conexión para conectar la punta del generador de funciones con el Kit de Desarrollo AN231K04-DVLP3, teniendo en cuenta los pines de entrada seleccionados en el software. En este caso IOCell1, IOCell4 como entradas e IOCell7 como salida.

Tenga en cuenta que va a utilizar IOCell1 como entrada por lo tanto se deben seleccionar los pines I1P e I1N como entradas positiva y negativa, respectivamente y para IOCell4 como entrada por lo tanto se deben seleccionar los pines I4P e I4N.

Posteriormente se debe conectar la punta del osciloscopio a los pines IO7P e IO7N, como señal de salida y referencia respectivamente.

Una vez conectado todo el circuito realice la programación de la FPAA por medio del comando  que se encuentra en la barra de herramientas ó en el menú desplegable **Configure** → **Write Configuration Data to Serial Port**. Si tiene problemas con la programación consulte el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.

Varié la seña de la fuente 2 entre los valores de 0 a +3.3 V, saque sus observaciones y conclusiones.

PASO 12: ANÁLISIS DE RESULTADOS

Compare si la forma de onda obtenida es similar a la señal simulada, capture (foto ó dibujo) la forma de onda de la señal y anéxela al informe final.



Preguntas

- Describa el funcionamiento del circuito.
- ¿Que cantidad de potencia consume el montaje y que recursos utiliza?
Descríbalos.
- Según sus palabras ¿Es útil la implementación de este circuito?, ¿Cuales son sus ventajas y desventajas?

C RESULTADOS Y CONCLUSIONES

Realice los diferentes pasos y genere un informe con sus observaciones y respuestas a cada uno de los pasos.



CARRERA		NRC	NOMBRE DE LA ASIGNATURA
Ingeniería Electrónica			Dispositivos Electrónicos
PRÁCTICA No.	LABORATORIO DE		
4	Electrónica Analógica		
DURACIÓN	NOMBRE DE LA PRÁCTICA		
2 Horas	Acondicionamiento de señales con AnadigmDesigner2		
1 INTRODUCCIÓN			
<p>En un proceso de control se pueden encontrar una o mas señales que necesitan ser adquiridas. Dichas señales pueden ser lineales o no, esto depende principalmente del tipo de sensor implementado. En el entorno del laboratorio y otros escenarios es mejor manejar señales lineales, ya que pueden ser mejor comprendidas.</p>			
2 OBJETIVO			
<p>El objetivo de esta sesión de laboratorio consiste en realizar un acondicionamiento de señal con el software AnadigmDesigner2 a través de un diseño guiado.</p>			
3 FUNDAMENTO TEÓRICO			
<p>La adquisición de señales, se basa en la captura de una señal analógica con el objetivo de generar información que pueda ser manipulada por un sistema analógico o un sistema digital. Este proceso consiste, en tomar un conjunto de señales físicas para luego convertirlas en tensiones eléctricas y así poder realizar un proceso específico ó digitalizarlas de manera que se puedan procesar en un ordenador; pero antes de esto se requiere una etapa de acondicionamiento. Procedimiento que adecua la señal a niveles compatibles con el sistema implementado²².</p> <p>En el proceso de acondicionamiento de señales es necesario tener en cuenta</p>			

²² RAMÓN PALLÁS ARENY. Sensores y Acondicionadores de Señal. 4ª Edición. Editorial MARCOMBO



diversas variables que vienen incluidas con las señales, tales como los niveles del voltaje o corriente, teniendo en cuenta que se deben tomar medidas en contra de señales de alto voltaje o de alta corriente, ya que estos pueden provocar daños en el equipo de medición, a la máquina y/o al operador.

Una vez establecido el nivel se debe tener en consideración el tipo de señal a adquirir, siendo esta de dos tipos: alterna o continua, dado que estas características afectan el diseño y funcionamiento del sistema de adquisición.

Como posibles variables a analizar se encuentran el rango de medición de tensión, la frecuencia de la señal adquirida entre otras²³, todas estas variables deben tratarse de forma adecuada para que no afecten los procesos de captura y medición.

Figura 140. Etapas de un proceso de captura para un control digital



Fuente: Autor

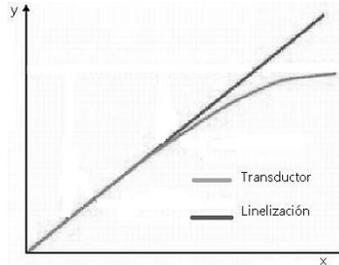
LINEALIZACIÓN

La linealización es el proceso de transformar una curva no lineal, en una lineal. Para esto es necesario efectuar algunos procedimientos matemáticos o físicos, con el objetivo de tornar el valor medido, en un valor equivalente en una línea recta.

²³ www.ni.com/sigcon



Figura 141. Linealización de una señal capturada



Fuente: Autor

4 PROCEDIMIENTO

A	EQUIPO NECESARIO	MATERIAL DE APOYO
	PC Software AnadigmDesigner2 Kit de Desarrollo AN231K04-DVLP3 Potenciómetro de 10 kΩ Resistencia de 10 kΩ Fuente de voltaje DC. Osciloscopio Digital	Práctica Impresa

B DESARROLLO DE LA PRACTICA

PASO 1: CREACIÓN DEL PROYECTO

Acceda al software y cree un nuevo proyecto con el chip AN231E04 (se recomienda que por cada proyecto tenga una única carpeta de almacenamiento).

En el grupo de CAMs disponibles para el chip AN231E04 podemos encontrar una CAM que nos ofrece una opción de programación, el nombre de esta CAM es *TransferFunction*, la cual estudiaremos a continuación.

Inicialmente ejecutaremos el proceso en forma de simulación con las señales antes solicitadas.



PASO 2: DISEÑO DEL ESQUEMÁTICO

1. Introduzca al diseño el siguiente CAM en el Chip 1 (FPAA1), para esto ejecutamos el símbolo,  Get New CAM, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert New Cam**.

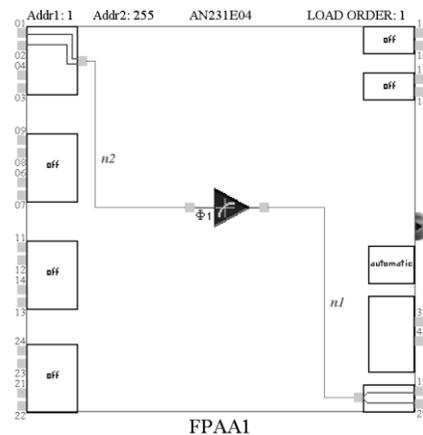
Tabla 20. Parámetros CAM

CAM	PARÁMETROS
 TransferFunction	<ul style="list-style-type: none"> • ClockA: 250 kHz (Chip Clock 3) • ClockB: 4 MHz (Chip Clock 0) • Output Hold: On

Fuente: Autor

2. Realice las conexiones y ajustes necesarios para que el circuito diseñado que de igual al de la figura 142.

Figura 142. Chip 1.

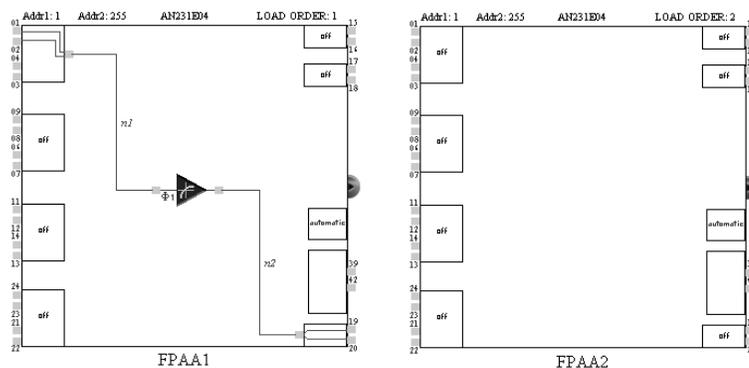


Fuente: AnadigmDesigner2



- Introduzca al diseño un nuevo chip, para esto ejecutamos el símbolo,  *Get a New Chip*, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert a New Chip** y escoja AN231E04. Arrastre el nuevo chip y ubique al lado del Chip 1 (ver figura 143).

Figura 143. Chips 1 y 2.

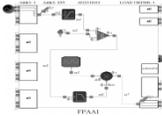
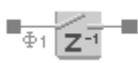


Fuente: AnadigmDesigner2

- Introduzca en el Chip 2 (FPAA2) los siguientes CAMs, para esto ejecutamos el símbolo,  *Get New CAM*, que aparece en la barra de herramientas sobre la ventana principal o también puede acceder desde el menú desplegable **Edit** → **Insert New Cam**.



Tabla 21. Parámetros CAM

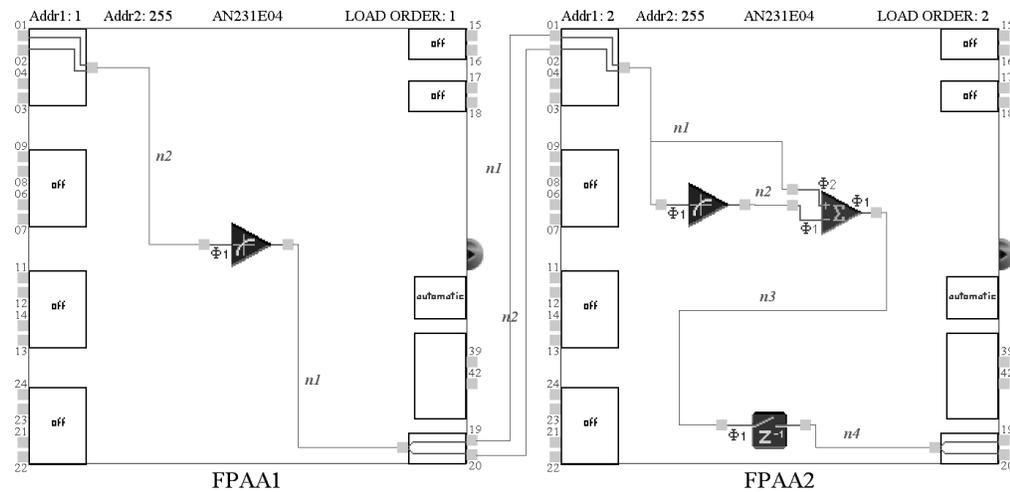
CAM	PARÁMETROS
 <p>TransferFunction</p>	<ul style="list-style-type: none"> • ClockA: 250 kHz (Chip Clock 3) • ClockB: 4 MHz (Chip Clock 0) • Output Hold: On
 <p>SumDif</p>	<ul style="list-style-type: none"> • Clock A: Clock 3 250.000 kHz • Output Phase: Phase 1 • Input 1: Non-inverting • Input 2: Inverting • Input 3: Off • Input 4: Off • Gain 1: 1 • Gain 2: 1
 <p>Hold</p>	<ul style="list-style-type: none"> • ClockA: 250 kHz (Chip Clock 3) • Input Sampling Phase: Phase 1

Fuente: Autor

5. Realice las conexiones y ajustes necesarios para que el circuito diseñado que de igual al de la figura 144.



Figura 144. Diseño Chip 1 y 2.



Fuente: AnadigmDesigner2

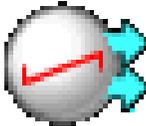
PASO 3: GENERADOR Y PUNTAS DE PRUEBA

1. Agregue un generador, para esto accedemos a la barra de herramientas y pinchamos en la siguiente función  (Create Signal Generator) o también podemos acceder en el menú desplegable **Simulate** → **Create Signal Generator**, de manera inmediata aparece una imagen transparente del generador de señal, desplazamos el icono hacia la posición del puerto de entrada, use otro click para colocarlo en su sitio.

Haga doble clic sobre el generador y a continuación se mostrara una ventana con los parámetros programables del generador:



Tabla 22. Parámetros Generador

GENERADOR	PARÁMETROS
 Sawtooth Generator	<ul style="list-style-type: none">• Output: Differential• Peak Amplitude: 3 V• Frequency: 1 kHz• Phase : 0 Degrees• Differential Offset: 3 V• Common Mode Offset: 0 V

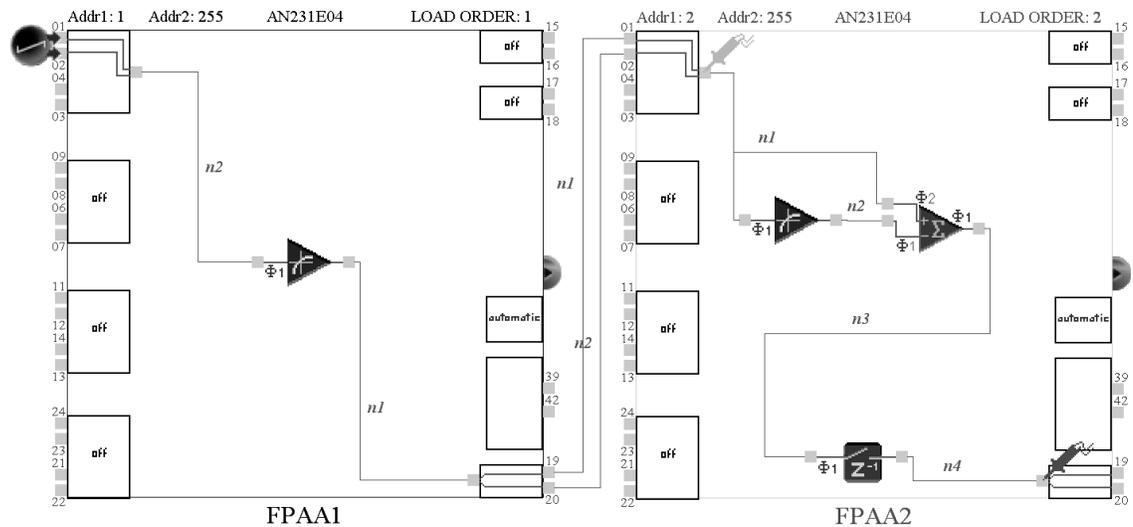
Fuente: Autor

2. Crear dos puntas de osciloscopio para obtener las señales de entrada y de salida, para esto tenga en cuenta este comando  (Create Oscilloscope Probe), ó en el menú desplegable **Simulate** → **Create Oscilloscope Probe**.

Finalmente obtenemos el siguiente circuito:



Figura 145. Circuito final.



Fuente: Autor

PASO 4: INTRODUCCIÓN DE DATOS

Dado que se están utilizando dos CAMs de *TransferFunction*, es necesario introducirles la información. Este proceso se puede realizar de siguiente forma:

1. Haga doble clic en la CAM *TransferFunction* de la FPAA1 y de clic en el botón “*Lookup Table*”, esto abrirá una ventana (ver figura 146).



Figura 146. Ventana TransferFunction

Vin	Requested (-3 to 3)	Realized
X < -2.971	0.000	0.000
-2.971 < X < -2.947	0.000	0.000
-2.947 < X < -2.924	0.000	0.000
-2.924 < X < -2.901	0.000	0.000
-2.901 < X < -2.877	0.000	0.000
-2.877 < X < -2.854	0.000	0.000
-2.854 < X < -2.830	0.000	0.000
-2.830 < X < -2.807	0.000	0.000
-2.807 < X < -2.784	0.000	0.000
-2.784 < X < -2.760	0.000	0.000
-2.760 < X < -2.737	0.000	0.000
-2.737 < X < -2.713	0.000	0.000
-2.713 < X < -2.690	0.000	0.000
-2.690 < X < -2.667	0.000	0.000
-2.667 < X < -2.643	0.000	0.000
-2.643 < X < -2.620	0.000	0.000
-2.620 < X < -2.597	0.000	0.000
-2.597 < X < -2.573	0.000	0.000
-2.573 < X < -2.550	0.000	0.000

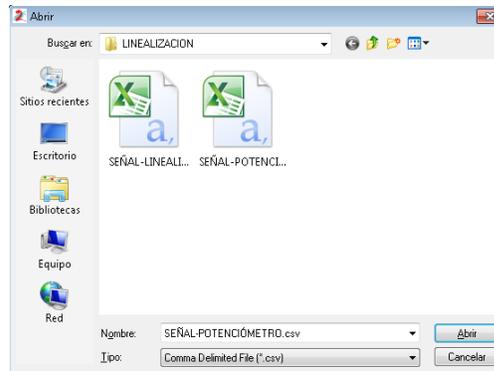
Fuente: AnadigmDesigner2

En esta ventana se pueden observar tres columnas *Vin*, *Requested* y *Realized*. *Vin* muestra los rangos de valores en la entrada del modulo que pueden ir de los -3 a los 3 voltios, a cada rango de valores se le puede asignar un valor de salida en la columna *Requested* y en la columna *Realized* se pueden observar el valor que el modulo generara a la salida del mismo. Estos valores no se pueden modificar en esta ventana, para esto es necesario cargar un archivo que contenga la información.

2. Haga clic en el botón “Load”, esto abrirá una venta de carga. Ubique y escoja el archivo “SEÑAL-POTENCIÓMETRO”, y de clic en abrir.



Figura 147. Archivos



Fuente: Autor

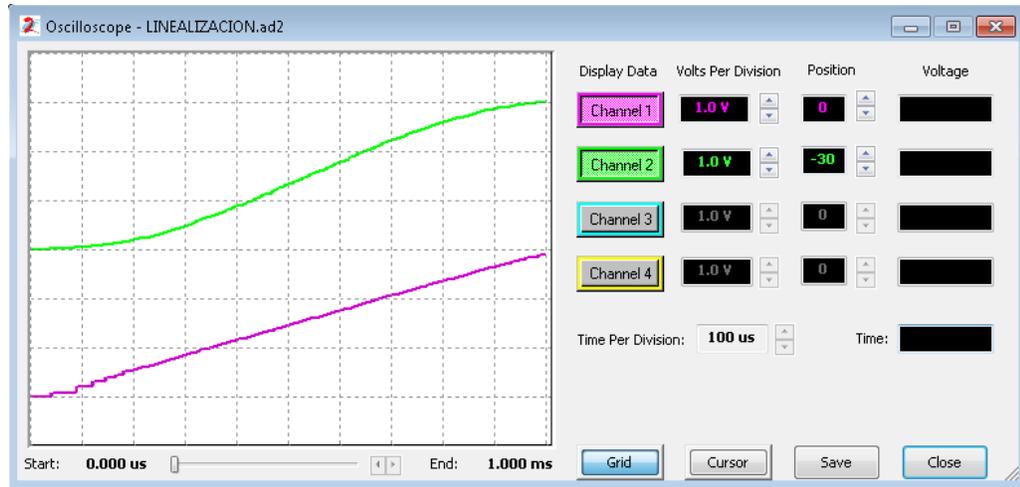
3. Haga clic en el botón “*Apply*”, para que se llene la columna *Realized*.
4. Haga clic en “OK” y nuevamente haga clic en “OK”.
5. Repita el mismo proceso con el modulo *TransferFunction* de la FPAA2 y el archivo “SEÑAL-LINEALIZACIÓN”.

PASO 5: SIMULACIÓN

1. Establezca el tiempo de simulación de 0 a 1 ms.
2. Empiece la simulación. Para esto pinchamos en el siguiente símbolo **Sim**, o buscamos la función en el menú **Simulate** → **Begin simulation** (este proceso puede tardar un poco).



Figura 148. Señales de salida del simulador.



Fuente: AnadigmDesigner2

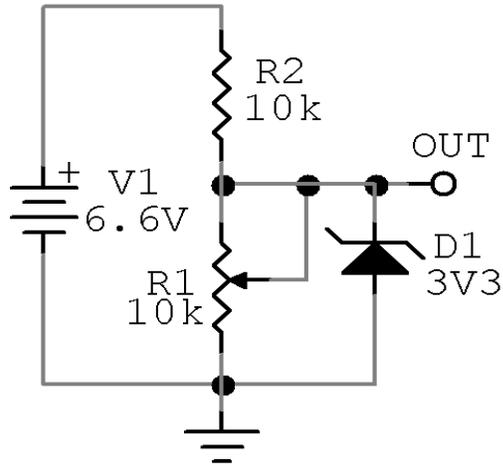
Al finalizar la simulación guarde ó capture la imagen generada por el simulador para su posterior análisis.

PASO 6: CAMBIO A SEÑAL REAL

1. Conecte el Kit de Desarrollo AN231K04-DVLP3 por medio del cable USB y el adaptador de voltaje que vienen incluidos, establezca la comunicación como lo dice el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.
2. Realice el circuito de la figura 149 y conéctelo a la entrada *IOCell1*, teniendo en cuenta que se deben seleccionar los pines *I1P* e *I1N* como entradas positiva y negativa, respectivamente.
3. Posteriormente se debe conectar la punta del osciloscopio a los pines *IO7P* e *IO7N*, como señal de salida y referencia respectivamente.



Figura 149. Circuito adicional.



Fuente: Autor

¡ADVERTENCIA!

Las señales de voltaje ingresadas al Kit de Desarrollo AN231K04-DVLP3 deben estar siempre entre un rango de valores comprendido entre los -0.5 V hasta los +3.3 V. Ingresar señales que estén por fuera de este rango de valores causa daños irreversibles al Kit de Desarrollo AN231K04-DVLP3.

4. Haga clic sobre la FPAA2 y realice la programación de la FPAA por medio del comando  que se encuentra en la barra de herramientas ó en el menú desplegable **Configure** → **Write Configuration Data to Serial Port**. Si tiene problemas con la programación consulte el manual de instalación del Kit de Desarrollo AN231K04-DVLP3.



PASO 7: TOMA DE DATOS

Gire el potenciómetro de forma suave y obtenga la señal de salida. Compare si la forma de onda obtenida es similar a la señal simulada, capture (foto ó dibujo) la forma de onda de la señal y anéxela al informe final.

PASO 8: PREGUNTAS

- Describa el funcionamiento del circuito.
- ¿Qué tarea cumple cada CAM?
- ¿Qué cantidad de potencia consume el montaje y que recursos utiliza?
Describalos.
- Según sus palabras ¿Es útil la implementación de este circuito?, ¿Cuáles son sus ventajas y desventajas?

C RESULTADOS Y CONCLUSIONES

Realice los diferentes pasos y genere un informe con sus observaciones y respuestas a cada uno de los pasos.



Los archivos “SEÑAL-POTENCIÓMETRO” y “SEÑAL-LINEALIZACIÓN” son hojas de cálculo con extensión *.csv que pueden ser abiertas y generadas por un programa de hojas de cálculo. Ejemplo “Excel”. La información contenida en estos archivos usan el punto (.) como símbolo decimal y contienen una columna con 256 posiciones.

SEÑAL-LINEALIZACIÓN:

0.000	0.000	0.000	0.000	0.000	-0.392	-0.232	0.000	0.198
0.000	0.000	0.000	0.000	0.000	-0.389	-0.220	0.013	0.203
0.000	0.000	0.000	0.000	0.000	-0.387	-0.209	0.024	0.203
0.000	0.000	0.000	0.000	0.000	-0.383	-0.209	0.024	0.208
0.000	0.000	0.000	0.000	0.000	-0.380	-0.197	0.036	0.212
0.000	0.000	0.000	0.000	0.000	-0.374	-0.185	0.047	0.216
0.000	0.000	0.000	0.000	0.000	-0.374	-0.185	0.047	0.218
0.000	0.000	0.000	0.000	0.000	-0.370	-0.173	0.059	0.221
0.000	0.000	0.000	0.000	0.000	-0.364	-0.161	0.070	0.222
0.000	0.000	0.000	0.000	0.000	-0.358	-0.161	0.070	0.224
0.000	0.000	0.000	0.000	0.000	-0.351	-0.148	0.081	0.224
0.000	0.000	0.000	0.000	0.000	-0.351	-0.137	0.091	0.224
0.000	0.000	0.000	0.000	-0.042	-0.345	-0.137	0.091	0.223
0.000	0.000	0.000	0.000	-0.042	-0.337	-0.124	0.102	0.221
0.000	0.000	0.000	0.000	-0.155	-0.329	-0.124	0.112	0.218
0.000	0.000	0.000	0.000	-0.235	-0.329	-0.112	0.112	0.216
0.000	0.000	0.000	0.000	-0.292	-0.321	-0.099	0.122	0.211
0.000	0.000	0.000	0.000	-0.330	-0.313	-0.099	0.131	0.207
0.000	0.000	0.000	0.000	-0.358	-0.303	-0.087	0.131	0.198
0.000	0.000	0.000	0.000	-0.371	-0.303	-0.074	0.141	0.187
0.000	0.000	0.000	0.000	-0.379	-0.294	-0.074	0.149	0.175
0.000	0.000	0.000	0.000	-0.386	-0.284	-0.062	0.158	0.155
0.000	0.000	0.000	0.000	-0.389	-0.284	-0.049	0.158	0.132
0.000	0.000	0.000	0.000	-0.392	-0.274	-0.049	0.165	0.105
0.000	0.000	0.000	0.000	-0.393	-0.264	-0.037	0.173	
0.000	0.000	0.000	0.000	-0.394	-0.254	-0.024	0.180	
0.000	0.000	0.000	0.000	-0.394	-0.254	-0.024	0.180	
0.000	0.000	0.000	0.000	-0.395	-0.242	-0.012	0.187	
0.000	0.000	0.000	0.000	-0.393	-0.232	0.000	0.192	



Formato para prácticas de laboratorio

SEÑAL-POTENCIÓMETRO:

0.000	0.000	0.000	0.000	0.000	0.085	0.730	1.740	2.645
0.000	0.000	0.000	0.000	0.000	0.093	0.761	1.776	2.669
0.000	0.000	0.000	0.000	0.000	0.101	0.793	1.811	2.692
0.000	0.000	0.000	0.000	0.000	0.110	0.826	1.846	2.714
0.000	0.000	0.000	0.000	0.000	0.119	0.859	1.881	2.736
0.000	0.000	0.000	0.000	0.000	0.130	0.892	1.916	2.757
0.000	0.000	0.000	0.000	0.000	0.147	0.926	1.951	2.778
0.000	0.000	0.000	0.000	0.000	0.165	0.959	1.985	2.797
0.000	0.000	0.000	0.000	0.000	0.184	0.993	2.019	2.816
0.000	0.000	0.000	0.000	0.000	0.203	1.028	2.053	2.834
0.000	0.000	0.000	0.000	0.000	0.223	1.062	2.087	2.851
0.000	0.000	0.000	0.000	0.000	0.244	1.097	2.120	2.867
0.000	0.000	0.000	0.000	0.001	0.266	1.132	2.153	2.883
0.000	0.000	0.000	0.000	0.003	0.289	1.167	2.186	2.897
0.000	0.000	0.000	0.000	0.006	0.312	1.203	2.218	2.911
0.000	0.000	0.000	0.000	0.009	0.335	1.238	2.250	2.924
0.000	0.000	0.000	0.000	0.012	0.360	1.274	2.281	2.936
0.000	0.000	0.000	0.000	0.015	0.385	1.310	2.312	2.947
0.000	0.000	0.000	0.000	0.019	0.411	1.345	2.343	2.957
0.000	0.000	0.000	0.000	0.024	0.437	1.381	2.373	2.966
0.000	0.000	0.000	0.000	0.028	0.464	1.417	2.402	2.974
0.000	0.000	0.000	0.000	0.033	0.491	1.453	2.431	2.981
0.000	0.000	0.000	0.000	0.039	0.520	1.489	2.460	2.986
0.000	0.000	0.000	0.000	0.044	0.548	1.525	2.488	2.991
0.000	0.000	0.000	0.000	0.050	0.577	1.561	2.516	
0.000	0.000	0.000	0.000	0.056	0.607	1.597	2.543	
0.000	0.000	0.000	0.000	0.063	0.637	1.633	2.569	
0.000	0.000	0.000	0.000	0.070	0.667	1.669	2.595	
0.000	0.000	0.000	0.000	0.077	0.698	1.705	2.620	

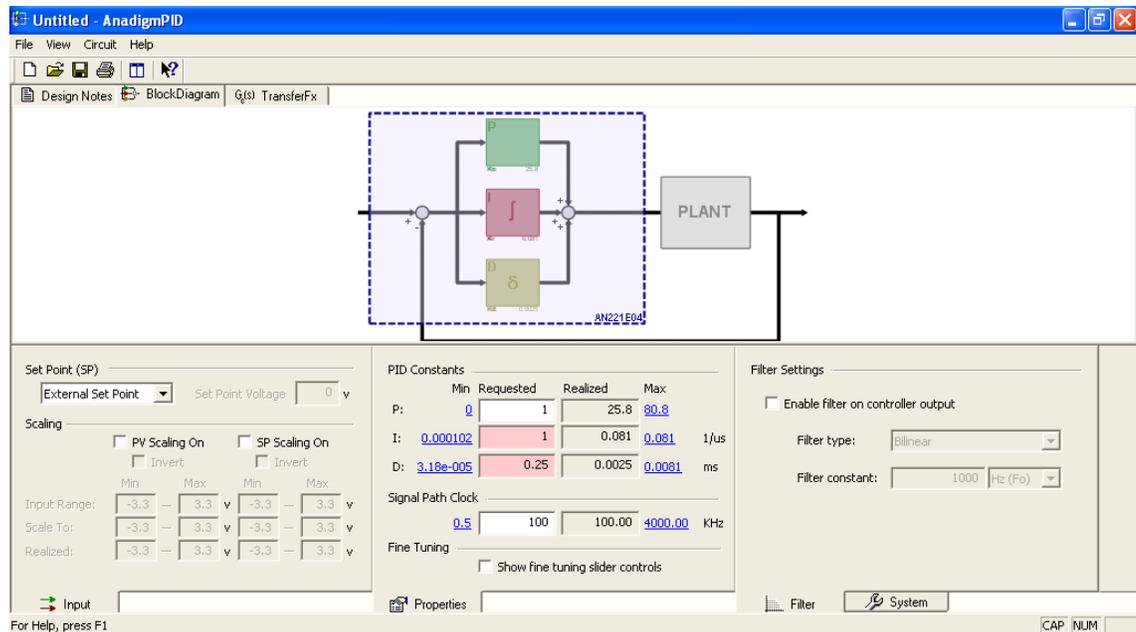


CARRERA		NRC	NOMBRE DE LA ASIGNATURA
Ingeniería Electrónica			Dispositivos Electrónicos
PRÁCTICA No.	LABORATORIO DE		
5	Electrónica Analógica		
DURACIÓN	NOMBRE DE LA PRÁCTICA		
2 Horas	Controlador PID con la herramienta AnadigmPID		
1 INTRODUCCIÓN			
<p>En este documento no se pretende incursionar afondo en el tema del control, pero es necesario que el estudiante tenga conocimientos previos para el diseño y implementación de los diferentes tipos de controladores, tales como: P, PI, PD, PID.</p>			
2 OBJETIVO			
<p>El objetivo de esta sesión de laboratorio consiste en realizar un controlador PID a primera aproximación al software AnadigmDesigner2 a través de un diseño guiado para que el estudiante conozca las diversas posibilidades que ofrece el programa y se puedan observar todas las etapas de diseño.</p>			
3 FUNDAMENTO TEÓRICO			
<p>ANADIGMPID²⁴</p> <p><i>AnadigmPID</i> es una ayuda de diseño para la creación de circuitos de control de lazo cerrado. La herramienta utiliza bloques de construcción proporcional (P), integral (I) y derivativo (D) para la construcción de topologías comunes de circuitos controladores en lazo cerrado, incluyendo las formas P, PI, PD y PID.</p>			

²⁴ www.anadigm.com/trainingdocument.pdf



Figura 150. AnadigmPID



Fuente: AnadigmDesigner2

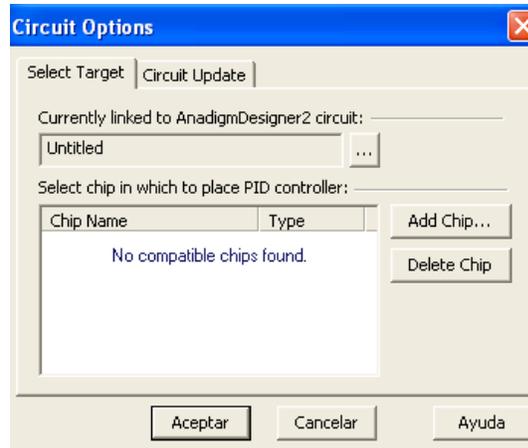
Para iniciar el proceso se debe abrir la herramienta desde el software AnadigmDesigner®2. AnadigmPID se abre desde el menú Herramientas.

Al ejecutar por primera vez AnadigmPID, se debe seleccionar la FPAA en donde se va programar el controlador. Esta herramienta solo admite los chips de la segunda generación de Anadigm.

A continuación explicaremos el proceso de creación de un controlador y las partes del software



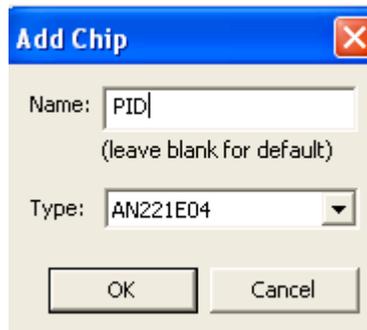
Figura 151. Ventana de inicialización.



Fuente: AnadigmDesigner2

Para iniciar el proceso debe adicionar un chip de la segunda generación. Una vez escogido el chip solo se deben configurar las constantes y la frecuencia del sistema.

Figura 152. Adición de un chip.

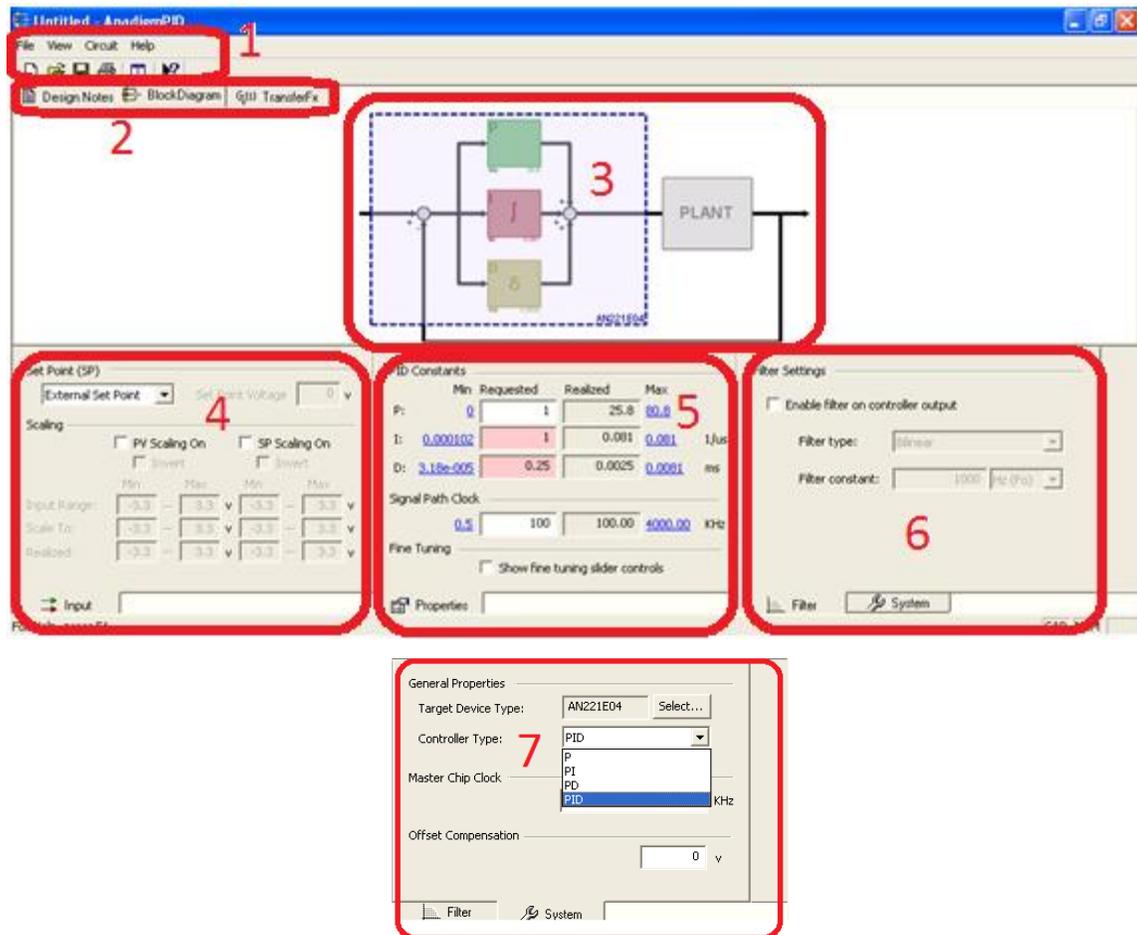


Fuente: Software AnadigmDesigner2



Secciones De AnadigmPID

Figura 153. Secciones de AnadigmPID



Fuente: Software AnadigmDesigner2



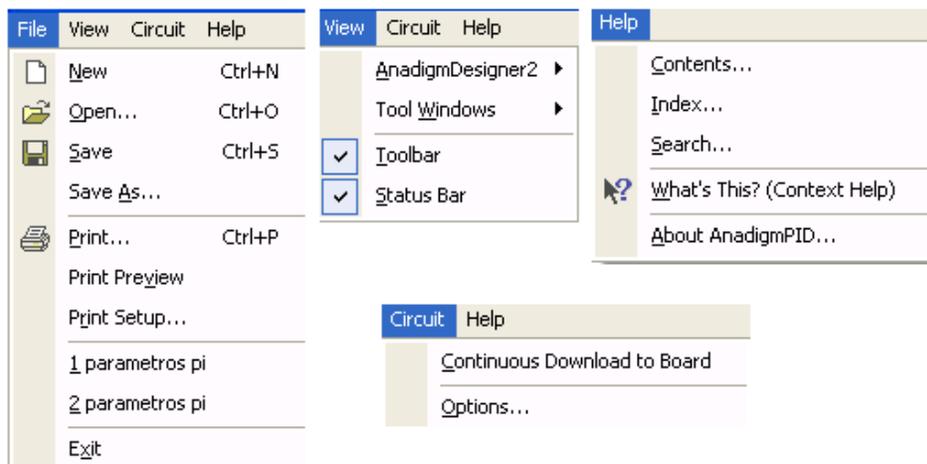
La suite de AnadigmPID se puede dividir en 7 grandes bloques:

- Sección de menús y accesos directos (1)
- Sección de información PID pestañas (2)
- Sección de información PID (3)
- Pestaña Input (4)
- Pestaña Properties (5)
- Pestaña Filter (6)
- Pestaña System (7)

Sección de Menús y Accesos Directos (1)

En esta parte del entorno de trabajo se encuentran diversos accesos directos y opciones que permiten modificar la suite AnadigmPID; tales como: guardar, imprimir, barras de herramientas, entre otros.

Figura 154. Menús de la suite AnadigmPID.



Fuente: AnadigmDesigner2

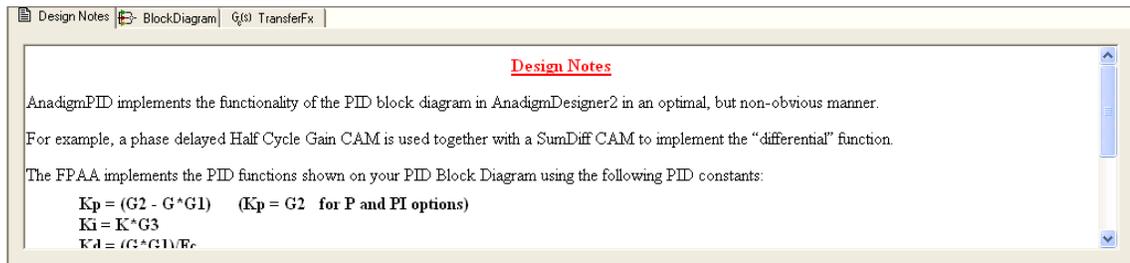


Sección de Información PID Pestañas (2)

En esta sección la suite expone tres pestañas, de las cuales el usuario puede obtener información importante del controlador a montar.

La primera pestaña brinda información respecto a las ecuaciones de las constantes del controlador.

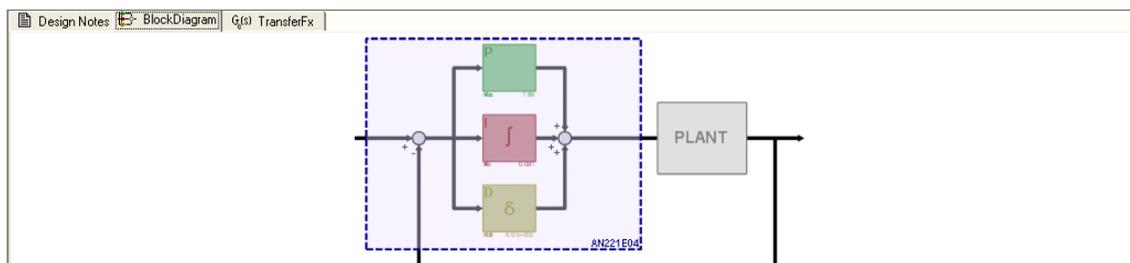
Figura 155. Pestaña "Desing notes".



Fuente: Software AnadigmDesigner2

La segunda pestaña muestra el diagrama de bloque dl sistema armado.

Figura 156. Pestaña "Block Diagram".



Fuente: Software AnadigmDesigner2



La tercera pestaña entrega la función de transferencia del controlador elaborado

Figura 157. Pestaña "TransferFx".

The screenshot shows the 'TransferFx' tab in the software. It displays the transfer function $G_c(s)$ in a PID form, with the proportional, integral, and derivative gains highlighted in colored boxes. The equation is:

$$G_c(s) = K_p + \frac{K_i}{s} + K_d s$$
$$= 1.66 + \frac{0.081}{s} + 6.67e-005 s$$

Fuente: Software AnadigmDesigner2

Sección de Información PID (3)

En esta área de la suite se visualiza la información suministrada por las pestañas de la sección 2.

Pestaña Input (4)

La pestaña de entrada de señal permite el control sobre varios aspectos de las entradas del circuito controlador. Se puede amplificar y/o invertir la señal PV (señal de retorno de la planta). Del mismo modo se puede amplificar y/o invertir la señal del set point (SP). Además también existe la opción de implementar un Set Point interno. Al seleccionar esta opción se coloca un generador de tensión de set point en el interior de la FPAA.



Pestaña Properties (5)

La pestaña propiedades es donde se establecen las constantes asociadas a cada tramo del circuito de control. Los controles están disponibles para KP, KI y KD. Los valores deseados para cada una de las constantes se introducen en la columna Requested. La columna Realized refleja lo que AnadigmPID fue capaz de lograr.

Los rangos alcanzables de cada uno de los controles no son completamente independientes el uno del otro. En particular, la frecuencia establecida en el Reloj de Ruta de Señal declara la frecuencia de entrega a cada una de las CAM en el recorrido de la señal. Cambiar este control afecta a todos los CAMs en el recorrido de la señal y el rango de respuesta viable para cada uno de ellos. Al hacer clic en cualquiera de los hipervínculos dentro de esta pestaña se abrirá una ventana de ayuda detallada. Un control final en la pestaña Propiedades es la casilla de verificación es “Mostar Control de Desplazamiento de Ajuste Fino”. Este control es especialmente útil, ya que permite la sintonización en directo de los circuitos de control creados con AnadigmPID.

Pestaña Filter (6)

La pestaña Filtro controla si se incluye o no un filtro pasa bajas para la salida del controlador y establece los parámetros para ese filtro. Las opciones de tipo de filtro disponibles son bilineales y bicuadrático. La constante de filtro por lo general se especifica como frecuencia de corte. Opcionalmente, las unidades de entrada se pueden establecer en radianes/s o S.



Pestaña System (7)

La pestaña System estipula el tipo de controlador y el chip que se esta utilizando, así como la frecuencia maestra del chip y el voltaje offset.

FUNCIONAMIENTO DEL SISTEMA

Al modificar alguna de las constantes o demás opciones de configuración, la suite AnadigmPID envía al software AD2 la información necesaria para modificar el circuito final en el Chip escogido.

4 PROCEDIMIENTO

A	EQUIPO NECESARIO	MATERIAL DE APOYO
Software AnadigmDesigner2	PC	Práctica Impresa
B	DESARROLLO DE LA PRACTICA	

PASO 1: CREACIÓN DEL PROYECTO

Para el desarrollo de este controlador PID, se utilizará el diseño propuesto en la Figura 159, debido a que la herramienta AnadigmPID no da soporte al chip FPAA AN231E04.

Sin embargo es posible crear un controlador PID con el chip FPAA AN221E04, implementado AnadigmPID, para luego buscar las CAM's equivalentes para el chip AN231E04.

Teniendo en cuenta lo anterior de debe crear el circuito de la Figura 159, con la siguiente configuración de reloj:

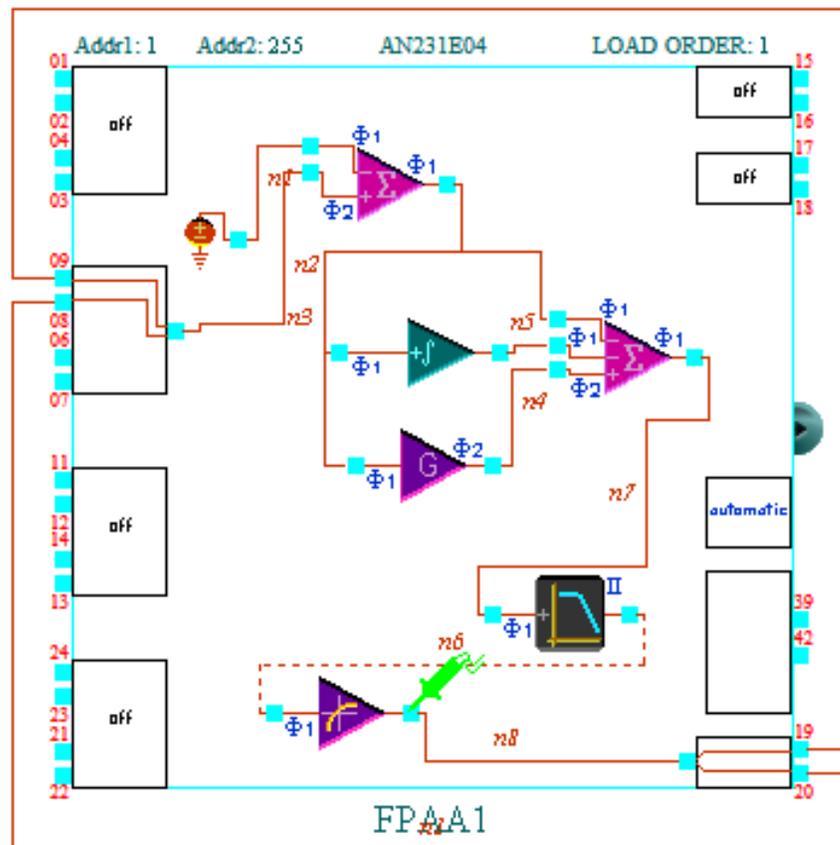


Figura 158. Configuración de relojes internos

Master Clock - ACLK (fc)	16 MHz
System Clock 1 (sys1 = fc / 80)	200 kHz
Clock 0 (sys1 / 1)	200 kHz
Clock 2 (sys2 / 4)	4 MHz
Clock 4 (sys2 / 4)	4 MHz
System Clock 2 (sys2 = fc / 1)	16 MHz
Clock 1 (sys1 / 1)	200 kHz
Clock 3 (sys2 / 64)	250 kHz
Clock 5 (sys1 / 1)	200 kHz

Fuente: Autor

Figura 159. Controlador PID



Fuente: AnadigmDesigner2



Tabla 23. CAM's a utilizar con sus parámetros

Name	Options	Parameters	Clocks
SumDiff1 (SumDiff v1.0.0)  Anadigm (Approved)	Output Phase Phase 1 Input 1 Inverting Input 2 Non-inverting Input 3 Off Input 4 Off	Gain 1 (UpperInput) 1.00 Gain 2 (LowerInput) 1.00	ClockA 200 kHz (Chip Clock 0)
Integrator1 (Integrator v1.1.0)  Anadigm (Approved)	Polarity Non-inverting Input Sampling Phase Phase 1 Compare Control To No Reset	Integration Const. [1/us] 0.00200	ClockA 200 kHz (Chip Clock 0)
GainHalf1 (GainHalf v1.0.0)  Anadigm (Approved)	Polarity Non-inverting Input Sampling Phase Phase 1	Gain 1.00	ClockA 200 kHz (Chip Clock 0)
SumDiff2 (SumDiff v1.0.0)  Anadigm (Approved)	Output Phase Phase 1 Input 1 Inverting Input 2 Inverting Input 3 Non-inverting Input 4 Off	Gain 1 (UpperInput) 60.0 Gain 2 (MiddleInput) 20.0 Gain 3 (LowerInput) 50.0	ClockA 200 kHz (Chip Clock 0)
Voltage1 (Voltage v1.0.0)  Anadigm (Approved)	Polarity Positive (+2V)		
TransferFunction1 (TransferFunction v1.0.0)  Anadigm (Approved)	Output Hold On		ClockA 250 kHz (Chip Clock 3) ClockB 4 MHz (Chip Clock 2)
FilterBiquad1 (FilterBiquad v1.0.1)  Anadigm (Approved)	Filter Type Low Pass Filter Topology Type II Input Sampling Phase Phase 1 Polarity Non-inverting	Corner Frequency [kHz] 0.999 Gain 1.00 Quality Factor 0.999	ClockA 200 kHz (Chip Clock 0)

Fuente: Autor



PASO 2: SIMULACIÓN

Figura 160. Simulación



Fuente: AnadigmDesigner2

PASO 3: PREGUNTAS

- Describa el funcionamiento del circuito.
- ¿Qué tarea cumple cada CAM?
- ¿Qué cantidad de potencia consume el montaje y que recursos utiliza?
Descríbalos.
- Según sus palabras ¿Es útil la implementación de este circuito?, ¿Cuáles son sus ventajas y desventajas?

C RESULTADOS Y CONCLUSIONES

Realice los diferentes pasos y genere un informe con sus observaciones y respuestas a cada uno de los pasos.



**UNIVERSIDAD PONTIFICIA BOLIVARIANA
FACULTAD DE INGENIERÍA ELECTRÓNICA**



Formato para prácticas de laboratorio

CHECKLIST

CARRERA	NRC	NOMBRE DE LA ASIGNATURA	
Ingeniería Electrónica		Dispositivos Electrónicos	
PRÁCTICA No.	LABORATORIO DE		
	Electrónica Analógica		
No	OBJETIVO	SI	NO
1	Los estudiantes manejan de forma adecuada los conceptos previos relacionados con la practica		
2	Dispone de los diferentes elementos de trabajo (Datasheet, Manuales, etc.).		
3	Dispone de los materiales necesarios para el desarrollo de la práctica.		
4	Los estudiantes utilizaron de forma adecuada el software AD2 y sus herramientas.		
5	Aplicaron los conceptos adquiridos en la carrera para el desarrollo de la práctica.		
6	Los estudiantes implementaron los diferentes módulos CAM basados en sus definiciones.		
7	Las señales obtenidas de la simulación corresponden a los resultados de la práctica.		
8	Las señales obtenidas del proceso real corresponden a los resultados de la práctica.		
9	Utilizaron de manera eficaz las herramientas de AD2		
10	Comprendieron las ventajas y desventajas de las FPAAs		

SI=1, NO=0

Nota final: $(\sum SI)/2$.

CONCLUSIONES

- Un simple circuito analógico programable puede reemplazar docenas de componentes estándares y alcanzar un diseño altamente integrado y preciso. Por lo tanto, los FPAA's son una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos análogos.
- Actualmente, los circuitos FPAA's disponibles en el mercado son fabricados por Anadigm, Zetex y Lattice. Los FPAA's de Anadigm son los más flexibles entre los circuitos analógicos programables debido a: el número de celdas análogas CAB disponibles en el chip, el número de funciones que se pueden programar en cada CAB y no requiere componentes externos (a excepción de los casos donde es necesario utilizar filtros anti-aliasing y smoothing).
- La técnica de capacitancias conmutadas es una solución integral en el aspecto de la reducción del tamaño de la circuitería, permitiendo así que las FPAA's puedan evolucionar en cuanto a tamaño y prestaciones.

AVANCES FUTUROS

Inicialmente, como trabajo futuro se plantea realizar el diseño y test de circuitos analógicos de mayor complejidad en hardware usando los circuitos de Anadigm, con el propósito de realizar una evaluación del desempeño. Posteriormente, el trabajo se orientara hacia el estudio y desarrollo de aplicaciones bajo el concepto de hardware de señal mixta reconfigurable es decir, la utilización simultánea de FPAA's y FPGAs.

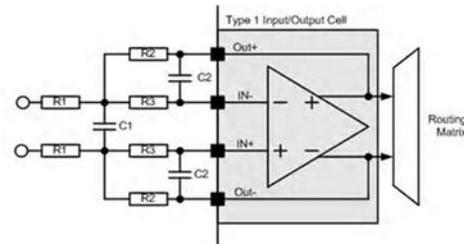
BIBLIOGRAFÍA

- **LATTICE SEMICONDUCTOR**, ispPAC Handbook: Programmable Analog Circuits, Sept. 1999.
- **R. CAICEDO Y J. VELASCO**, “Tutorial PAC-Designer”, Escuela de Ingeniería Eléctrica y Electrónica, Universidad del Valle, Sept. 2002.
- **RAMÓN PALLÁS ARENY**. Sensores y Acondicionadores de Señal. 4ª Edición. Editorial MARCOMBO
- **SILVA-MARTINEZ J., S´ANCHEZ-SINENCIO E.**: Switched Capacitor Filters, In Handbook of Circuits and Filters, CRC Press, 2003
- **TRAC**, Totally Re-configurable Analog Circuit, Issue 2, Marzo 1999.
- **WILLIAMS, ARTHUR B.** Amplificadores Operacionales. Teoría y Aplicaciones. Editorial McGraw-Hill, 1988.
- <http://bach.ece.jhu.edu/~tim/research/fpaa.html>
- <http://calima.univalle.edu.co/scf/eventos/2007/www/docs/libro.pdf>
- <http://eie.ucr.ac.cr/uploads/file/proybach/pb0720t.pdf>
- http://es.wikipedia.org/wiki/Filtro_de_Bessel
- http://es.wikipedia.org/wiki/Filtro_de_Butterworth
- http://es.wikipedia.org/wiki/Filtro_de_Chebyshev
- http://pdf_ref_1_sites.google.com/site/javierfvargas/earte.pdf
- <http://www.anadigm.com>
- <http://www.anadigm.com>
- http://www.anadigm.com/_doc/FPAA%20audio%20performance%20rev2.pdf
- http://www.anadigm.com/_doc/UM020800-U002.pdf
- http://www.anadigm.com/prs_05_a.asp?prid=47
- <http://www.anadigm.com/trainingdocument.pdf>
- <http://www.anadigm.com/trainingdocument.pdf>
- http://www.astormastering.com.ar/Clase_3_Filtros_y_Ecualizadores.pdf
- <http://www.astormastering.com.ar/ModulacionAM.pdf>

- <http://www.ee.ualberta.ca/~vgaudet/fpaa/faq.html>
- <http://www.ee.ualberta.ca/~vgaudet/fpaa/terminology.html>
- <http://www.iberchip.com/IX/articles/PAP-073.pdf>
- <http://www.iberchip.net/IX/Articles/PAP-073.pdf>
- <http://www.kettering.edu/~bguru/Filters/AF11pdf.pdf>
- <http://www.latticesemi.co>
- <http://www.mailxmail.com/curso/vida/practicosonido>
- <http://www.ni.com/sigcon>
- http://www.uax.es/publicaciones/archivos/TECELS04_001.pdf

ANEXO A. ESQUEMA Y CÁLCULOS DE LOS FILTROS RAUCH

Figura 161. Cálculos Filtros Rauch



Type 1 I/O Configured as an Input with Anti-aliasing Filter

For low pass response:

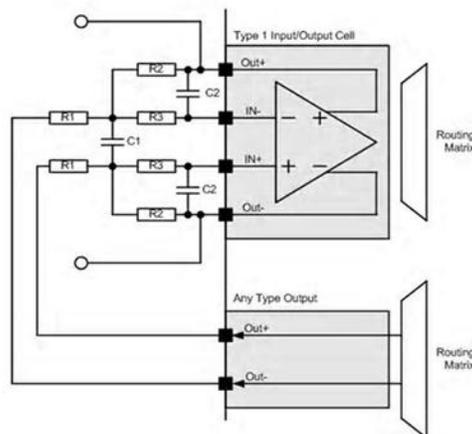
$$H(s) = 1 / ((R1/R2) + (sC2(R1+R3+(R1*R3/R2))) + (s^2R1R3C1C2))$$

$$R1 = R2 = 2R3 = 2R$$

And

$$C1 = 4C2 = 4C$$

$$Fp = 1 / (4\pi RC(\sqrt{2}))$$



Type 1 I/O Configured as a Smoothing Filter for an Output Cell

Re-arranging these equations for low pass filter

$$R1 = Rin;$$

$$R2 = G * Rin;$$

$$R3 = G * Rin;$$

$$C1 = [Q * (G - 2)] / (4 * \pi * Fo * Rin);$$

$$C2 = (2 * C1) / [Q * (G - 2)]^2$$

Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

ANEXO B. DESCRIPCIÓN DE JUMPERS

Figura 162. Descripción de los Jumpers del kit de desarrollo

Jumper	Function	Default State	Default Condition
J1	This jumper allows the MCLRb pin of the PIC to either be connected to the PORb pin of the FPAA or to be grounded. Grounding the MCLRb pin tristates all of the PIC I/Os and thus allows connection of another controller to the digital pins of the FPAA. Useful for daisy chaining boards where one PIC controls 2 or more FPAA's.	Jumper to right	MCLRb pin of PIC is connected to PORb pin of FPAA
J4	Connects pull-ups and downs to some of the FPAA digital pins, or ties CS_B1 low. A jumper in place connects the pull-up/down in the following way: POR – 10k pull-up on PORb ACT – 10k pull-up on ACTIVATE ERR – 10k pull-up on ERRb SI – 10k pull-down on SI CS1 – ties CS_B1 low CS – 10k pull-down on CS_B CFG – 10k pull-up on CFGFLG	Jumpers on POR, ERR, CS1 and CS	PORb is pulled high, ERRb is pulled high, CS_B1 is tied low and CS_B is pulled low.
J5	Connects the digital section to the analog section	All 15 jumpers should be on.	Fully connects power, ground and all FPAA digital signals to the digital section.
J6	Allows serial download of software to PIC via the RS232 port. Press reset after placing a jumper on J6 and then use Tera Term Pro to download the new software.	Jumper off	Not in software download mode
J7	A jumper on J7 will disable the 16MHz oscillator module and tristate its output. This means that the ACLK pin of the FPAA will not be clocked. Useful in daisy chaining boards where the ACLK pin of 2 or more FPAA's should be driven by one source.	Jumper off	16MHz oscillator enabled
J8	A jumper on J8 enables EPROM mode.	Jumper off	Board in micro mode.

Fuente: http://www.anadigm.com/_doc/UM231000-K001.pdf

ANEXO C. HOJA DE DATOS DE LA FPAA AN231E04



AN231E04 Datasheet Rev 1.1

3rd Generation Dynamically Reconfigurable dpASP

This device is RoHS compliant

www.anadigm.com

Disclaimer

Anadigm reserves the right to make any changes without further notice to any products herein. Anadigm makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Anadigm assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Anadigm does not in this document convey any license under its patent rights nor the rights of others. Anadigm software and associated products cannot be used except strictly in accordance with an Anadigm software license. The terms of the appropriate Anadigm software license shall prevail over the above terms to the extent of any inconsistency.

© Anadigm[®], Inc. 2007, 2008
All Rights Reserved.

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

PRODUCT AND ARCHITECTURE OVERVIEW

The AN231E04 device is an “Analog Signal Processor”; ideally suited to signal conditioning, filtering, gain, rectification, summing, subtracting, multiplying, etc.

The device also accommodates nonlinear functions such as sensor response linearization and arbitrary waveform synthesis.

The AN231E04 device consists of a 2x2 matrix of fully Configurable Analog Blocks (CABs), surrounded by programmable interconnect resources and analog input/output cells with active elements. On chip clock generator block controls multiple non-overlapping clock domains generated from an external stable clock source. Internal band-gap reference generator is used to create temperature compensated reference voltage levels. The inclusion of an 8x256 bit look-up table enables waveform synthesis and several non-linear functions.

Configuration data is stored in an on-chip SRAM configuration memory. An SPI like interface is provided for simple serial load of configuration data from a microprocessor or DSP. This memory is shadowed allowing a different circuit configuration to be loaded as a background task without disrupting the current circuit functionality.

The AN231E04 device features seven configurable input/output structures each can be used as input or output, 4 of the 7 have integrated differential amplifiers. There is also a single chopper stabilized amplifier that can be used by 3 of the 7 output cells.

Circuit design is enabled using Anadigmdesigner2 software, a high level block diagram based circuitry entry tool. Circuit functions are represented as CAMs (Configurable Analog Modules) these are configurable block which map onto portions of CABs. The software and a development board facilitate instant prototyping of any circuit captured in the tool.

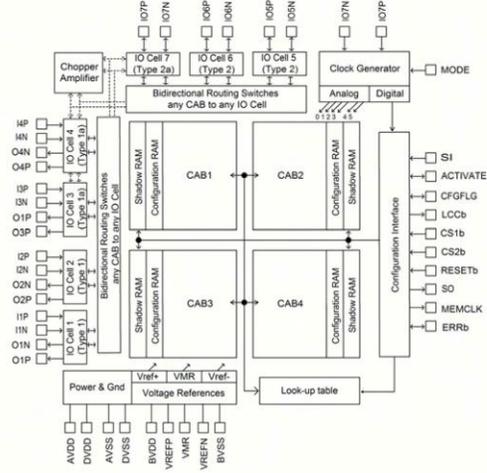


Figure 1: Architectural overview of the AN231E04 device
With dynamic reconfigurability, the functionality of the AN231E04 can be reconfigured in-system by the designer or on-the-fly by a microprocessor. A single AN231E04 can thus be programmed to implement multiple analog functions and/or to adapt on-the-fly to your circuit requirements.

PRODUCT FEATURES

- Dynamic reconfiguration
- Seven configurable I/O cells, two dedicated output cells
- Fully differential architecture
- I/O buffering with single ended to differential conversion
- Low input offset through chopper stabilized amplifiers
- 256 Byte Look-Up Table (LUT) for linearization and arbitrary signal generation
- Typical Signal Bandwidth: DC-2MHz (Bandwidth is CAM dependent)
- Signal to Noise Ratio:
 - Broadband 90dB
 - Narrowband (audio) 120dB
- Total Harmonic Distortion (THD): 100dB
- User controlled Compensated low DC offset <250µV
- DC Offset via chopper stabilized architecture <50uV
- Package: 44-pin QFN (7x7x0.9mm)
 - Lead pitch 0.5mm
- Supply voltage: 3.3V

APPLICATIONS

- Analog Signal Processing
- RFID IF (Baseband Filtering)
- Real-time software control of analog system peripherals
- Intelligent sensors
- Adaptive filtering and control
- Adaptive DSP front-end
- Adaptive industrial control and automation
- Self-calibrating systems
- Compensation for aging of system components
- Dynamic recalibration of remote systems
- Ultra-low frequency signal conditioning
- Custom analog signal processing

ORDERING CODES

AN231E04-e2-QFNNTY	dpASP Tray (260 /tray, 2600/box)	AN231E04-e2-QFNNSP	dpASP Sample Pack
AN231E04-e2-QFNTR	dpASP Tape & Reel (1000 /reel, 4000/box)	AN231K04-DVLP3	AN231E04 Development Kit

[For more detailed information on the features of the AN231E04 device, please refer to the AN131E04/AN231E04 User Manual]

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1 ELECTRICAL CHARACTERISTICS

1.1 Absolute Maximum Ratings

Parameter	Symbol	Min	Typ	Max	Unit	Comment
DC Power Supplies ^a	AVDD BVDD DVDD	-0.5	-	3.6 V	V	AVSS, BVSS and DVSS all held to 0.0 V
xVDD to yVDD Offset		-0.5		0.5	V	Ideally all supplies should be at the same voltage
Package Power Dissipation,	P _{max} 25°C P _{max} 85°C	-	-	4.5 1.8	W	(Theoretical values based on T _j =125deg.C) Still air, No heatsink, 44 pads and exposed die pad soldered to PCB θ _{ja} = 22.5°C/W. VDD = 3.3V
AN231E04 max power dissipation	dpASPmax	-	-	0.25	W	Maximum power dissipation all resources used, (see section 1.5.13 for more detail).
Input Voltage	V _{inmax}	VSS-0.5	-	VDD+0.5	V	
Ambient Operating Temperature	T _{op}	-40	-	85	°C	
Storage Temperature	T _{stg}	-40		125	°C	

^a Absolute Maximum DC Power Supply Rating - The failure mode is non-catastrophic for VDD of up to 5 volts, but will cause reduced operating life time. The additional stress caused by higher local electric fields within the CMOS circuitry may induce metal migration, oxide leakage and other time/quality related issues.

1.2 Recommended Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit	Comment
DC Power Supplies	AVDD BVDD DVDD	3.0	3.3	3.6	V	AVSS, BVSS and DVSS all held to 0 V
Analog Input Voltage.	V _{ina}	VMR -1.375	-	VMR +1.375	V	Conditional on the circuit which is being driven. This limit is defined as maximum signal amplitude through input Sample and hold cell which results in >-80dB THD+N using a 1KHz test signal. VMR is 1.5 volts above AVSS
Digital Input Voltage	V _{ind}	0	-	DVDD	V	
Junction Temp ^b	T _j	-40	-	125	°C	Assume a package θ _{ja} =22.5°C/W

^b To calculate the junction temperature (T_j) you must first empirically determine the current draw (total I_{dd}) for the design. The programmable nature of this device means this can vary by orders of magnitude between different circuit designs. Once the current consumption is established then the following formula can be used; T_j = T_a + I_{dd} x VDD x 22.5 °C/W, where T_a is the ambient temperature. Worst case θ_{ja} = 22.5 °C/W assumes no air flow and no additional heatsink, 44 pads and the exposed die pad soldered to PCB.

1.3 General Digital I/O Characteristics (VDD = 3.3v +/- 10%, -40 to 85 deg.C)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	V _{ih}	0	-	30	-	% of DVDD
Input Voltage High	V _{il}	70	-	100	-	% of DVDD
Output Voltage Low	V _{ol}	0	-	20	-	% of DVDD
Output Voltage High	V _{oh}	80	-	100	-	% of DVDD
Input Leakage Current	I _{il}	-	-	+/-1	µA	Some pins have active pull up/down, please see below.
Max. Capacitive Load	C _{max}	-	-	10	pF	
Min. Resistive Load	R _{min}	50	-	-	Kohm	Each pins has a specific load driving capability, detailed in sections 1.4 and 1.5
ACLK Frequency	F _{max}	-	16	40	MHz	Divide down to <4 MHz prior to use as a CAB clock
Clock Duty Cycle	CLKduty	45	-	55	%	All clocks

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.4 Digital I/O Characteristics (VDD = 3.3v +/-10%, -40 to 85 deg.C unless commented)

1.4.1 Pins ACLK, SCLK, RESETb, CS1b, CS2b, SI, MODE (standard CMOS inputs)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	Vil	0	-	30	%	% of DVDD
Input Voltage High	Vih	70	-	100	%	% of DVDD

1.4.2 Pin SO, (standard CMOS output)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Output Voltage Low	Vol	VSS	-	VSS	mV	Load 10pF//50Kohm to VSS
Output Voltage High	Voh	3.28	-	VDD	V	Load 10pF//50Kohm to VSS VDD = 3.3 V.
Max. Capacitive Load	Cmax	-	-	100	pF	Maximum load 100 pF // 5 Kohm at up to 5MHz.
Min. Resistive Load	Rmin	5	-	-	Kohm	Maximum load 100 pF // 5 Kohm at up to 5MHz.
Current Sink	Isnkmax	60	100	135	mA	Pin shorted to VDD Current should be limited externally so that it does not exceed 3mA
Current Source	Isrcmax	50	80	110	mA	Pin shorted to VSS. Current should be limited externally so that it does not exceed 3mA

1.4.3 Digital functions of mixed signal Pins IO1, IO2, IO3, IO4, IO5, IO6, IO7,

These pins can be configured by the user to be standard CMOS input or outputs.

I/O cells 5, 6 and 7 the pin pairs can be connected to and used individually.

I/O cells 1 through 4 provide pin pairs for differential (complimentary) digital connections.

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	Vil	0	-	30	%	% of DVDD
Input Voltage High	Vih	70	-	100	%	% of DVDD
Output Voltage Low	Vol	VSS	-	VSS	mV	Pin load = 20pF//10K to VSS
Output Voltage High	Voh	3.25	-	VDD	V	Pin load = 20pF//10K to VSS VDD = 3.3 V.
Max. Capacitive Load	Cmax	-	-	50	pF	Maximum load 20 pF // 10 Kohm at up to 4MHz signal
Min. Resistive Load	Rmin	50	-	-	Kohm	Maximum load 20 pF // 10 Kohm at up to 4MHz signal
Current Sink	Isnkmax	15	30	40	mA	Pin shorted to VDD. Current should be limited externally so that it does not exceed 3mA
Current Source	Isrcmax	15	25	35	mA	Pin shorted to VSS. Current should be limited externally so that it does not exceed 3mA.

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.4 Digital I/O Characteristics continued (VDD = 3.3v +/-10%, -40 to 85 deg.C unless commented)

1.4.4 Pins ERRb (Open Drain, CMOS transistor)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	Vil	0		30	%	% of DVDD.
Input Voltage High	Vih	70		100	%	% of DVDD.
Output Voltage Low	Vol	VSS	-	7.0	mV	10KOhm to VDD VDD = 3.3 V.
Output Voltage High	Voh	3.29	-	VDD	V	10KOhm to VDD VDD = 3.3 V.
Max. Capacitive Load	Cmax	-	-	10	pF	Maximum load 10 pF // 50 Kohm at full BW
Min. Resistive Load	Rmin	50	-	-	Kohm	Maximum load 10 pF // 50 Kohm at full BW
Current Sink	Isnkmax	50	-	110	mA	Pin shorted to VDD. Current should be limited externally so that it does not exceed 3mA
Current Source	Isrcmax	-	-	+/-1	µA	Pin shorted to VSS
External Resistive Pullup	Rpullupext	10	10	10	Kohm	MUST be used

1.4.5 Pins ACTIVATE, CFGFLGb

These pins are Open Drain CMOS transistors, with optional user configurable internal pull-up resistor
We also note that the output voltage on these pins is "sensed" by internal circuitry, (see figure 2 below)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	Vil	0		30	%	% of DVDD.
Input Voltage High	Vih	70		100	%	% of DVDD.
Output Voltage Low	Vol	80	-	140	mV	Pin load = Internal pullup + external 10pF//50K to VSS VDD = 3.3 V.
Output Voltage High, internal pull-up.	Voh	3.05	-	3.16	V	Pin load = Internal pullup + external 10pF//50K to VSS VDD = 3.3 V.
Output Voltage Low, external pull-up.	VolE	529	-	773	mV	Pin load = 5K to VSS VDD = 3.3 V.
Output Voltage High	Voh	VDD	-	VDD	V	Pin load = 5K + 10pF to VSS
Max. Capacitive Load	Cmax	-	-	10	pF	Maximum load 10 pF // 50 Kohm at full BW
Min. Resistive Load	Rmin	50	-	-	Kohm	Maximum load 10 pF // 50 Kohm at full BW
Current Sink, pull down only	Isnkmax	1.8	-	3.7	mA	Pin shorted to VDD.
Current Source, pull up only	Isrcmax	0.34	-	1.1	mA	Pin shorted to VSS.
Internal Resistive Pullup	Rpullupint	3.5	5.3	8.4	Kohm	Default, not used with external pullup.
External Resistive Pullup	Rpullupext	5	7.5	10	Kohm	Optional - to be used only if internal pullup is deselected

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.4 Digital I/O Characteristics continued (VDD = 3.3v +/-10%, -40 to 85 deg.C unless commented)

1.4.6 Pin LCCb/DOUT1 (CMOS Output)

The primary function of this pin is as LCCb (Local Configuration Complete), this signal is used in multiple dpASP designs to pass Chips Select from dpASP to dpASP enabling primary configuration of a serial chain of dpASP's from a single SPI bus, please refer to the AN231E04 User Guide for details.
If the LCCb signal pin is not required (e.g. a circuit design with a single dpASP device) then via dpASP configuration this pin can be used as a digital output, this is realized by adjusting the properties of the dpASP "digital I/O cell".

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Output Voltage Low, (LCCb)	Vol(LCCb)	VSS	-	VSS	mV	Load 10pF//50Kohm to VSS, during configuration.
Output Voltage High, (LCCb)	Voh(LCCb)	3.00	-	3.20	V	Load 10pF//50Kohm to VSS, during configuration. VDD = 3.3 V
Output Voltage Low, (DOUT1)	Vol(DOUT1)	VSS	-	VSS	mV	Load 10pF//50Kohm to VSS, When configured to pin39=DOUT1
Output Voltage High, (DOUT1)	Voh(DOUT1)	3.29	-	VDD	V	Load 10pF//50Kohm to VSS, When configured to pin39=DOUT1 VDD = 3.3 V.
Max. Capacitive Load	Cmax	-	-	10	pF	Maximum load 10 pF // 50 Kohm
Min. Resistive Load	Rmin	50	-	-	Kohm	Maximum load 10 pF // 50 Kohm
Current Sink, (LCCb)	Isnk(LCCb)	3.0	-	7.0	mA	LCCb (pin 39) shorted to VDD, during configuration. Current should be limited externally so that it does not exceed 3mA.
Current Source, (LCCb)	Isrc(LCCb)	0.25	-	0.80	mA	LCCb (pin 39) shorted to VSS, during configuration.
Current Sink, (DOUT1)	Isnk(DOUT1)	20.0	-	60.0	mA	DOUT1 (pin 39) shorted to VDD., Current should be limited externally so that it does not exceed 3mA.
Current Source, (DOUT1)	Isrc(DOUT1)	12.5	-	35.0	mA	DOUT1 (pin 39) shorted to VSS, Current should be limited externally so that it does not exceed 3mA.
Clock skew (DOUT1 connected to "clocka")	CLK _{skew}	-	8.0	-	ns	Skew at DOUT1 (pin 39) relative to external signal clock applied to input pin ACLK (pin 34). Note: This is only valid when DOUT1 is selected to output the CAM clockA, and CAM clockA is derived from ACLK divided by 1.
Comparator skew (DOUT1 connected to "comparator")	COMP _{skew}	-	25.0	-	ns	This is the delay of the comparator CAM output transition relative to the exported comparator clock clock appears on the output pin. Note. The comparator is clocked with a user programmable CAM clock derived from a division of ACLK
RAM transfer delay (DOUT1 connected to "RAM transfer Pulse")	RAM _{DELAY}	-	20.0	-	ns	This is the delay of the signal at the dpASP pin 39, (DOUT1) relative to the actual internal transfer event.
Auto-null/Osc start delay (DOUT1 connected to "Auto-null/Osc start done" signal) ¹	DONE _{DELAY}	-	40	-	ms	This is the delay of the signal at the dpASP pin 39, (DOUT1) relative to the actual internal event.

¹ see application note AN231002 "Auto-nulling within the AN231E04"

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.4 Digital I/O Characteristics, continued (VDD = 3.3v +/-10%, -40 to 85 deg.C unless commented)

1.4.7 MEMCLK/DOUT2 (CMOS Output)

The primary function of this pin is as MEMCLK (Memory Clock), this signal is used as a clock output in circuit designs which require configuration from an SPI PROM (or SPI EEPROM), please refer to the AN231E04 User Guide for details. If the MEMCLK signal pin is not required (e.g. a circuit configured from a microcontroller) then via dpASP configuration this pin can be used as a digital output. The MEMCLK signal is only active when the dpASP MODE (pin35) is high (tied to VDD). DOUT2 function cannot be used if dpASP MODE (pin35) is high (tied to VDD).

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Output Voltage Low, (MODE pin 35 = VSS, DOUT2 inactive)	V _{ol}	VSS	-	VSS	mV	Load 10pF//50Kohm to VSS. This Pin MEMCLK is unused in this MODE=VSS, there is an internal weak pull down resistor
Output Voltage Low, (MODE pin 35 = VSS, DOUT2 active)	V _{ol}	VSS	-	VSS	mV	Load 100pF//5Kohm to VSS
Output Voltage Low, (MODE pin 35 = VDD)	V _{ol}	VSS	-	VSS	mV	Load 100pF//5Kohm to VSS
Output Voltage High	V _{oh}	3.28	-	VDD	V	Load 100pF//5Kohm to VSS, VDD = 3.3V.
Max. Capacitive Load	C _{max}	-	-	100	pF	Maximum load 100 pF // 5 Kohm
Min. Resistive Load	R _{min}	5	-	-	Kohm	Maximum load 100 pF // 5 Kohm
Current Sink, (MODE pin 35 = VSS & DOUT2 inactive)	I _{snk}	0.01	0.03	0.05	mA	Pin shorted to VDD. Th This Pin MEMCLK is unused when MODE=VSS and DOUT2 is inactive. Thus No active drive.
Current Source, (MODE pin 35 = VSS & DOUT2 inactive)	I _{src}	-	-	+/-1	uA	Pin shorted to VSS. This Pin MEMCLK is unused when MODE=VSS and DOUT2 is inactive. Thus No active drive.
Current Sink, (MODE pin 35 = VDD or DOUT2 active)	I _{snk}	60	100	135	mA	Pin shorted to VDD. Current should be limited externally so that it does not exceed 3mA
Current Source, (MODE pin 35 = VDD or DOUT2 active)	I _{src}	50	80	110	mA	Pin shorted to VSS. Current should be limited externally so that it does not exceed 3mA
Clock skew (DOUT2 connected to "clockA")	CLK _{SKEW}	-	8.0	-	ns	Skew at DOUT2 (pin 42) relative to external signal clock applied to input pin ACLK (pin 34). Note: This is only valid when DOUT2 is selected to output the CAM clockA, and CAM clockA is derived from ACLK divided by 1.
Comparator skew (DOUT2 connected to "comparator")	COMP _{SKEW}	-	25.0	-	ns	This is the delay of the comparator CAM output transition relative to the exported comparator clock clock appears on the output pin. Note. The comparator is clocked with a user programmable CAM clock derived from a division of ACLK
RAM transfer delay (DOUT2 connected to "RAM transfer Pulse")	RAM _{DELAY}	-	20.0	-	ns	This is the delay of the signal at the dpASP pin 42, (DOUT2) relative to the actual internal transfer event.
Auto-null/Osc start delay (DOUT2 connected to "Auto-null/Osc start done" signal) ²	DONE _{DELAY}	-	40	-	ms	This is the delay of the signal at the dpASP pin 42, (DOUT2) relative to the actual internal event.

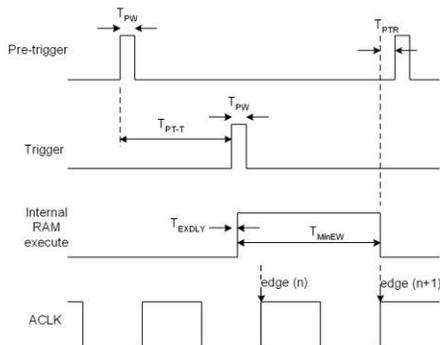
² see application note AN231002 "Auto-nulling within the AN231E04"

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.4.8 RAM Transfer – Trigger and Arm

These digital inputs do not have dedicated pins, a connection exists within the dpASP, an external signal can be routed to either of these virtual pins from a type2 I/O cell (I/O cells 5, 6 and 7. Pins 15,16,17,18,19 or 20). The purpose of these virtual pins is to extend optional asynchronous timing control of the dpASP configuration to the user.

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Voltage Low	V _{il}	0		30	%	% of DVDD
Input Voltage High	V _{ih}	70		100	%	% of DVDD
Minimum pulse width connected to where	T _{PW} setup time	5	-	-	ns	Time to register the event internally.
Pulse-Pulse edge delay	T _{PT-T} setup time	10	-	-	ns	Delay between pre-trigger and trigger. Need not be observed if pre-trigger is not used, is set at the end of configuration automatically.
Execute delay	T _{EXDLY}	0	10	20	ns	Delay from trigger rising edge to internal execute event.
Execute minimum width	T _{MinEW}	1 ACLK	-	2 ACLK	-	Duration of execute pulse guaranteed 1 ACLK period. Can be as long as 2 periods depending on relative phases.
Pre-trigger reset.	T _{PTR}	10	-	-	ns	Pre-trigger circuit is reset ready to accept another pre-trigger.



AnadigmDesigner2 options, (these are set using the software tool AnadigmDesigner2)

RAM Transfer Trigger = Automatic :

RAM transfer happens automatically immediately after the "end" byte of a configuration bit stream. Timing control is entirely inside the AN231E04 device and not visible to a user.

RAM Transfer Trigger = Event driven.

RAM Trigger = Off.

no pre-trigger used. The "end" byte of configuration bit stream arms the RAM transfer and the user signal then acts as the trigger.

Arm Trigger = On

External Signal Allowed = Trigger. This setting allows the external signal connected to be the trigger, Arming must be from an internal signal.

External Signal Allowed = Arm. This setting allows the external signal connected to be the arming signal, Trigger be from an internal signal.

RAM Transfer Trigger = Clock synch

RAM transfer happens automatically immediately following the first occurrence of all internal clocks being synchronous. Timing control is entirely inside the AN231E04 device and not visible to a user.

HINT: The RAM transfer timings above are for the trigger block hardware - The **Trigger** and **Arm** signals can come from many sources, propagation delays to the trigger block inputs will vary depending on the source and routing of the signals to this block.

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.5 Analog I/O Characteristics (VDD = 3.3v +/-10%, -40 to 85 deg.C unless commented)

1.5.1 Analog Inputs General

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Range	V _{ina}	VMR - 1.375	-	VMR + 1.375	V	VMR set to 1.5V
Differential Input	V _{diffina}	0	-	+/-2.75	V	VMR = 1.5 V.
Common Mode Input Range	V _{cm}	1.4	1.5	1.6	V	Limited by signal clipping for large waveforms. Please see figures
Input Offset	V _{oslOInt}	-	3.0	18	mV	IO cell, unity gain mode intrinsic
	V _{oslOAZ}	-	0.5	1.0	mV	IO cell, unity gain mode, auto-null on.
	V _{osCabI}	-	3	18	mV	CAB, unity gain mode.
	V _{osCabAZ}	-	250	1000	uV	CAB, unity gain mode, auto-null on.
	V _{osCabzC}	-	75	250	uV	CAB, unity gain mode, auto-null and chopping on.
Input Frequency	F _{ain}	0	<2	8	MHz	Max value is clock, CAM and input stage dependent. Input frequency for most CAMs is limited to approx <2MHz due to CAM signal processing which is based on sampled data architectures.

1.5.2 IO Differential Operational Amplifier

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Output voltage range	V _{inouta}	VMR - 1.375	-	VMR + 1.375	V	VMR = 1.5V. Measured for IO SnH circuit.
Differential Input/Output	V _{diffioa}	-	-	+/- 2.75	V	Common mode voltage = 1.5 V. Measured for IO SnH circuit.
Common Mode Input Voltage Range (Note1)	V _{cm}	VMR	VMR	VMR	V	Limited due to causing signal clipping for large waveforms. VMR can be varied if supplied externally (+200mV to -1.0volt)
Common Mode Output Voltage Deviation from VMR	V _{cm}	-	23.5	72.7	mV	Due to common mode offsets.
Equivalent Input Voltage Offset.	V _{offsetI}	-	3.0	18.0	mV	Intrinsic offset voltage.
Equivalent Input Voltage Offset.	V _{offsetAZ}	-	500	1000	uV	Auto-null offset voltage, rectangular distribution.
Auto-null time, from LCCb falling edge.	T _{AZ}	-	60	-	ms	see application note AN231002 "Auto-nulling within the AN231E04"
Offset Voltage Temperature Coefficient	V _{offsetAZ} TC	-	4	-	µV/°C	Auto-null mode, from -40°C to 125°C.
Power Supply Rejection Ratio	PSSR	60	-	-	dB	Sample and Hold mode, 1MHz clk, at DC
Common Mode Rejection Ratio	CMRR	60	-	-	dB	Sample and Hold mode, 1MHz clk, at DC
Differential Slew Rate	Slew	-	50	-	V/µsec	Opamp driving off chip with Max load. Effective internal slew is affected by the internal routing and load is normally much faster
Unity Gain Bandwidth.	UGB	-	63	-	MHz	10pF external load
Open loop gain	A _v	-	103	-	dB	
Input Impedance	R _{in}	10	-	-	Mohm	Voltage gain mode
Output Impedance	R _{out}	-	33	-	Ohms	Measured at package pins. Track impedance increases the

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

						effective output impedance. The OpAmp is designed to drive all internal nodes.
Output Load, External	Rload	1	-	-	Kohm	
Output Load, External	Cload	-	-	100	pF	
Noise Figure	NF	-	0.16	-	$\mu\text{V}/\sqrt{\text{Hz}}$	Unity gain mode.
Signal-To Noise Ratio and Distortion	SINAD	-	97	-	dB	Unity gain mode.
Spurious Free Dynamic Range	SFDR	-	96	-	dB	Unity gain mode.

1.5.3 IO Cell, Sample and Hold Mode

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Range	V_{in} V_{diffin}	See analog input above				
Equivalent Input Offset Voltage	Vosl	-	3	18	mV	Non auto-null differential opamp offset ³
	VosAZ	-	500	1000	μV	Auto-null differential opamp offset ⁴
Offset Voltage Temperature Coefficient	VoffsetcAZ	-	4	-	$\mu\text{V}/^\circ\text{C}$	With auto-null active. From -40°C to 125°C
Input Frequency	Fain	0	-	2	MHz	Generally limited by aliasing to half Sample and Hold clock.
Power Supply Rejection Ratio	PSRR	60	-	-	dB	d.c.
Common Mode Rejection Ratio	CMRR	60	-	-	dB	
Input Resistance	Rin	10	-	-	Mohm	$R=1/\text{Cf}$ equivalent
Input Capacitance	Cin	-	-	8.0	pF	Switched capacitances
Input Referred Noise Figure	NF	-	0.16	-	$\mu\text{V}/\sqrt{\text{Hz}}$	0dBu input, 1KHz, Noise summed from 20Hz to 22KHz
Signal-to Noise Ratio and Distortion	SINAD	-	84	-	dB	0dBu input, 1KHz, Noise summed from 20Hz to 22KHz
Spurious Free Dynamic Range	SFDR	-	90	-	dB	0dBu input, 1KHz

1.5.4 Chopper Amplifier Cell

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Range	V_{in} V_{diffin}	See analog input above			-	Usable input range will be reduced by the effective gain setting ⁴
Gain	Ginamp	0dB	-	60dB	-	Software selected
Gain Accuracy	GA 0dB	-	-	5	%	0dB setting, 1KHz test signal.
	GA 10dB	-	-	5	%	10dB setting, 1KHz test signal.
	GA 20dB	-	-	5	%	20dB setting, 1KHz test signal.
	GA 30dB	-	-	5	%	30dB setting, 1KHz test signal.
	GA 40dB	-	-	5	%	40dB setting, 1KHz test signal.
Equivalent Input Offset Voltage	Vosl	-	0.5	14	mV	Intrinsic differential opamp offset
Equivalent Input Offset Voltage	VosAZ1	-	250	500	μV	Differential opamp offset, auto-nulled, NOT chopped.
Equivalent Input Offset Voltage	VosAZ2	-	25	100	μV	Differential opamp offset, auto-nulled and chopped.
Offset Voltage Temperature Coefficient	VoffsetcAZ	-	15	TBD	$\mu\text{V}/^\circ\text{C}$	With auto-null and chopping active. From -40°C to 125°C
Input Frequency	Fain	0	-	-	KHz	Generally 10x slower than clock, application dependent.

³ The sample and hold offset varies from phase1 to phase2. This is an average of both values

⁴ To avoid clipping the maximum input range should be divided by the chopper gain

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

Power Supply Rejection Ratio	PSRR	-	62	-	dB	DC. Amp Gain = 0dB
Common Mode Rejection Ratio	CMRR	-	81	-	dB	250kHz clock, 1kHz 0dBu output. See figure 1
Large Signal Harmonic Distortion	Dist	-	-77	-	dB	Unity-gain. 0dBu input at 1KHz
Input Resistance	Rin	10			Mohm	
Input Capacitance	Cin	-		5.0	pF	
Input Referred Noise Floor	IRN	-	20	-	nV/ $\sqrt{\text{Hz}}$	20dB-gain, 250kHz clock. Idle channel.
Input Referred Noise Floor	IRN	-	4	-	nV/ $\sqrt{\text{Hz}}$	60dB-gain, 250kHz clock. Idle channel.
Signal-to Noise and Distortion Ratio	SINAD	-	76	-	dB	20dB-gain, 250kHz clock. 0dBu output at 1KHz. Noise and distortion summed from 22Hz to 22KHz
Spurious Free Dynamic Range	SFDR	-	90	-	dB	20dB-gain, 250kHz clock. 0dBu output at 1KHz, See figure 2

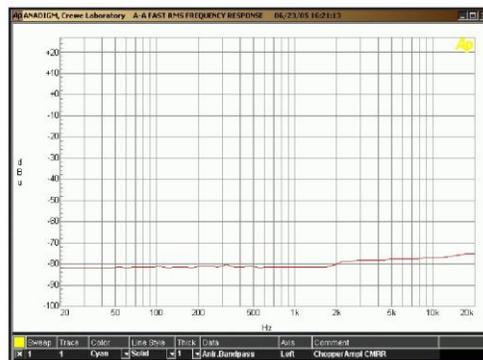


Figure 1: Chopper Amplifier CMRR

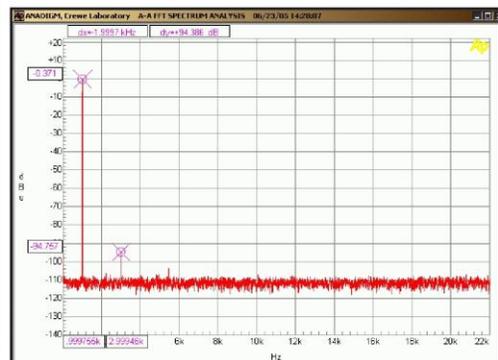


Figure 2: Chopper Amplifier SFDR

1.5.5 Analog Outputs, Loading & Signal Conditioning

(The IO cells use the same circuits as the input cells)

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Min load R	RloadMin	1	-	-	KOhm	to VSS
Rout	R _{OUTIO}	-	33	-	Ohms	For IO opamp to package pins.
	R _{OUTCAB}	-	530	-	Ohms	For CAB opamp to package pins, (depends on CAB and IO used) Core to outside in bypass I/O.
Max load C	Cload Max	-	-	100	pF	to VSS.
Large signal swing	SIG _{LARGE}	VMR-1.375	-	VMR+1.375	V	Differential voltage where -80dB THD is reached for IO cell in SnH mode. 10pF load.
Common Mode Voltage	V _{cm}	-	VMR	-	V	Derived from on chip VMR voltage.
Common Mode Voltage Deviation	V _{cmDV}	-	-	-	mV	Deviation from supplied VMR. Values are quoted for IO cell or CAB opamp. See other tables.

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.5.6 Clock Dividers

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Division ratio Primary divider	DIV _{RATIOPR}	1	-	510	-	Software controlled.
Division ratio secondary divider	DIV _{RATIOSEC}	1	-	510	-	Software controlled.
Division ratio auto zero clock	DIV _{AZ}	1000	162K	510K	-	Typical is default value.
Min clock speed	CLK _{MIN}	-	1kHz @ 25°C 10kHz @ 85°C	-	KHz	Each CAM has a different lower clock frequency depending on the parameters set. Excessively low clock frequency will cause signal droop.
Max clock speed	CLK _{MAX}	-	-	8	MHz	Each CAM has a different upper clock frequency depending on the parameters set. Excessively high clock frequency will cause poor settling and loss of precision.
Phase delay	Phase _D	0	-	255	cycles	Measured in terms of cycles of clock from a primary clock divider.

1.5.7 PORb & Auto-null

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Intrinsic Porb duration	Porb _{DEL}	0.5	1	2	ms	After release of Porb pin.
Porb brown out voltage	Porb _{BROWN}	0.8	1.1	1.5	V	Porb will reset device if VDD drops below this level to prevent RAM corruption.
Auto-null period ⁵	AZ _{DEL}	-	60	-	ms	Duration for AZ cycle of opamps

1.5.8 VMR (voltage Mid Rail) and VREF (Reference Voltage) Ratings

Parameter	Symbol	Min	Typ	Max	Unit	Comment
VMR Output Voltage	V _{vmr}	1491	1500	1509	mV	At 25°C, VDD=3.3 volts, see figure 3
VREF+ Output Voltage	V _{ref+}	2469	2492	2515	mV	At 25°C, VDD=3.3 volts, see figure 4
VREF- Output Voltage	V _{ref-}	481	501	520	mV	At 25°C, VDD=3.3 volts, see figure 4
Output Voltage Deviation VMR	V _{refout}	-	0.5	1.0	%	Over process and supply voltage corners
Output Voltage Deviation VREF+, VREF-	V _{refout}	-	1.0	2.0	%	Over process and supply voltage corners
Voltage Temperature Coefficient VREF+, VMR, VREF-	V _{reftc}	-	-	-	-	See typical graphical data below -40°C to 125°C
Power Supply Rejection Ratio, VMR	PSSR	TBD	-	-	dB	DC
Power Supply Rejection Ratio Vref+ and Vref-	PSSR	TBD	-	-	dB	DC
Start Up Time	T _{start}	-	-	1	ms	Assuming recommended capacitors, 25°C, VDD=3.3 volts

⁵ see application note AN231002 "Auto-nulling within the AN231E04"

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

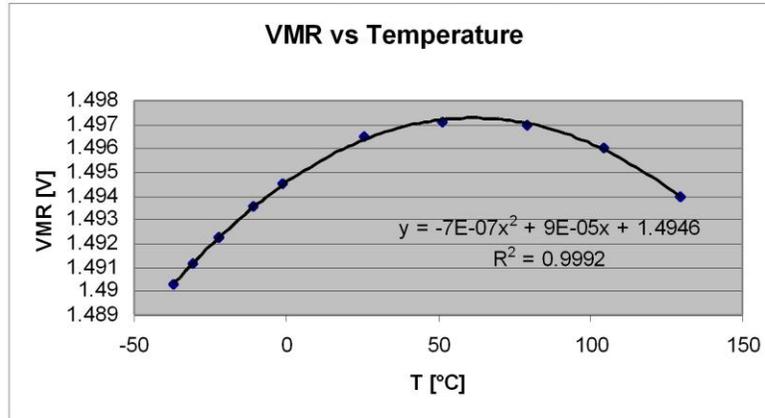


Figure 3: GainHold CMRR

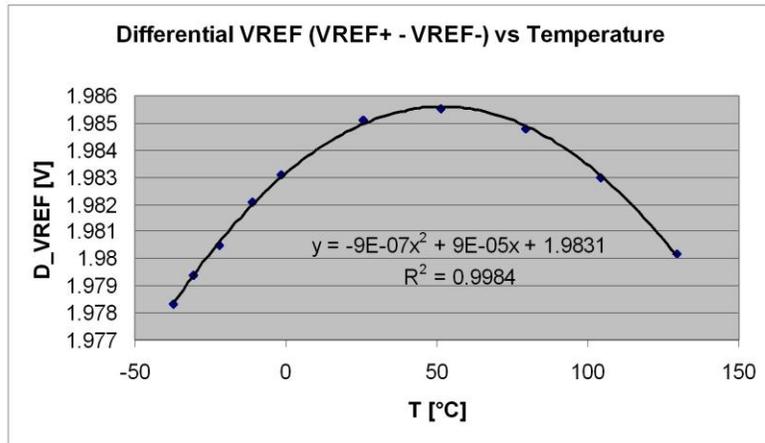


Figure 4: GainHold CMRR

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.5.9 CAB (Configurable Analog Block) Differential Operational Amplifier

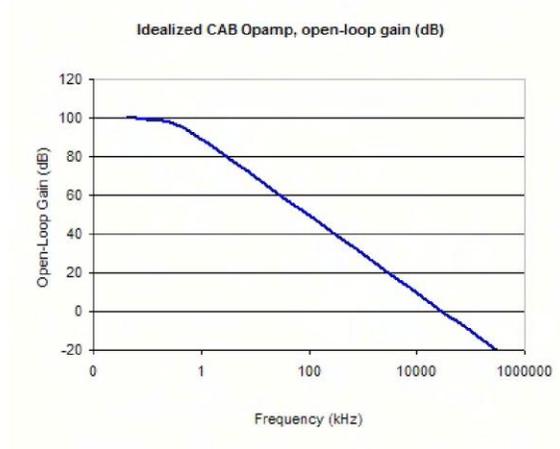
Parameter	Symbol	Min	Typ	Max	Unit	Comment
Output Range	Vinouta	0.05	-	2.95	V	GainInv 1kHz THD > -80dB. Common mode voltage = 1.5 V
Differential Output voltage	Vdiffioa	-	-	+/-2.9	V	Limited by signal clipping. GainInv THD exceeds -80dB Common mode voltage = 1.5 V
Common Mode Input Voltage Range ⁶	Vcm	1.4	1.5	1.6	V	VMR set to 1.5V ⁶
Common Mode Voltage Deviation	VcmD	0	-	+/-50	mV	Deviation is caused by opamp common mode offset voltages.
Equivalent Input Voltage Offset	Voffsetl	-	3	18	mV	Intrinsic offset voltage.
Equivalent Input Voltage Offset	VosAZ	-	250	1000	uV	Auto-null offset voltage.
Equivalent Input Voltage Offset	VosAZchpl	-	75	250	uV	Auto-null & chopped offset
Offset Voltage Temperature Coefficient	VosAZ	-	see graph	19	μV/°C	Auto-null mode, from -40°C to 125°C.
Offset Voltage Temperature Coefficient	VosAZChp	-	-	< 0.1	μV/°C	Auto-null and chopped mode, from -40°C to 125°C.
Power Supply Rejection Ratio	PSSR	-	60	-	dB	DC. Variation between CAMs is expected because of variations in architecture.
Common Mode Rejection Ratio	CMRR	-	54	-	dB	GainInv CAM, clock = 1MHz, gain = 1. -20dBu input at 1kHz See figure 6
Differential Slew Rate, Internal	Slewl	-	35	-	V/μsec	Applicable when the OpAmp load is internal to the dpASP
Differential Slew Rate, External	SlewE	-	30	-	V/μsec	Applicable when the OpAmp driving signal out of the dpASP package. Routing resistance causes degradation from Slew
Unity Gain Bandwidth, Full Power Mode.	UGB	-	18	-	MHz	Applicable when sourcing and loading the OpAmp with a load internal to the dpASP. CAMs limit signal frequency to a lower value. See figure 5
Input Impedance, Internal	Rin	10	-	-	Mohm	
Output Impedance, Internal	Rout	-	-	-	Ohms	The OpAmp output is designed to drive all internal nodes, these are dominantly capacitive loads
Output Impedance, External	Rout	-	600	-	Ohms	Output to a dpASP output pin (output cell bypass mode). This variable is influenced by CAB capacitor size, CAB clock frequency and CAB architecture
Output Load, External ⁷	Rload	1	-	-	Kohm	
Output Load, External	Cload	-	-	100	pF	
Input Referred Noise Floor ⁸	IRN	-	300	-	nV/√Hz	Unity-gain GainHold CAM, 1MHz clocking, Idle channel.
Signal-To Noise and Distortion Ratio ⁸	SINAD	-	86	-	dB	Unity-gain GainHold CAM, 1MHz clocking, 0dBu input at 1KHz, Noise and distortion summed from 22Hz to 22KHz
Spurious Free Dynamic Range ⁸	SFDR	-	100	-	dB	Unity-gain GainHold CAM and SnH output cell. 1MHz clocking, 0dBu input at 1KHz. See figure 7

⁶ The is for the OpAmp. The use of virtual earth architectures means the CAMs can exceed these values

⁷ The maximum load for an analog output is 100 pF || 1 K Ohms. This load is with respect to AVSS. Using the DPASP with CAB Opamps driving directly off chip is not recommended. Full characterization of the performance of each application circuit by the designer is necessary

⁸ Using an I/O Cell Sample & Hold is used to prevent the variable routing resistance affecting the harmonic response

AN231E04 Datasheet – Dynamically Reconfigurable dpASP



The idealized open loop gain plot is provided for information only. This information is associated with the dpASP in full power mode of operation. The dpASP operational amplifier open loop gain cannot be observed nor used when associated with external connections to the device. Internal reprogrammable routing impedances and switched capacitor circuit architectures using this operational amplifier limit the effective usable bandwidth.

Figure 5: CAB Opamp Open Loop Gain Response



Figure 6: GainHold CMRR

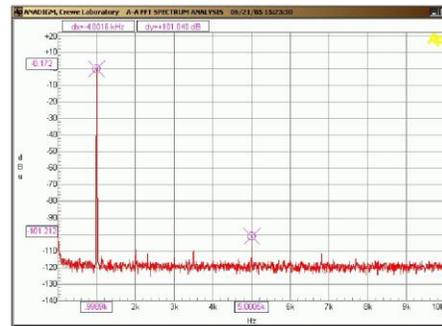


Figure 7: GainHold SFDR

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.5.10 CAB (Configurable Analog Block) Differential Comparator

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Input Range, External or Internal	V _{ina}	0.0	-	VDD	V	Will operate correctly.
Differential Input, Internal	V _{diffina}	-	-	-	V	Set by internal signal clipping based on common mode voltage.
Differential Output bypass (bypass with core comparator is not a recommended operating mode)	V _{outdiffL}	0.163	-	3.138	V	3.3VDD. In digital output mode, 10KOhms connected between output pins. Varies with internal routing. Pad buffers are recommended in this mode.
	V _{outdiffA}	0.592	-	2.396		In analogue V _{ref} level output mode, 10KOhms connected between output pins. Will vary with internal routing.
Input Voltage Offset	V _{offcomp}	-	0.78	1.22	mV	Zero hysteresis
Offset Voltage Temperature Coefficient	V _{offsetc}	-	1	-	μV/°C	from -40°C to 125°C, Zero hysteresis
Setup Time, Internal	T _{setint}	-	-	125	nsec	
Setup Time, External	T _{setext}	-	-	500	nsec	
Delay Time	T _{delay}	½T _d +25	-	1½T _d +25	nsec	T _d = 1/F _c F _c = master clock frequency
Output Load	R _{load}	10	-	-	Kohm	Applies if comparator drive off chip with output cell in bypass mode
Output Load	C _{load}	-	-	50	pF	Applies if comparator drive off chip with output cell in bypass mode
Differential Hysteresis	Hysta0	-	V _{offcomp}	-	mV	Hysteresis setting OFF
Differential Hysteresis	Hysta1	-	10	-	mV	Hysteresis setting ON
Hysteresis Temperature Coefficient	Hysttc1	-	10	-	μV/°C	Hysteresis setting = ON

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

1.5.11 ESD Characteristics

Pin Type	Human Body Model	Machine Model	Charged Device Model
Digital Inputs	4000V	250V	4kV
Digital Outputs	4000V	250V	4kV
Digital Bidirectional	4000V	250V	4kV
Digital Open Drain	4000V	250V	4kV
Analog Inputs	2000V	200V	4kV
Analog Outputs	1500V	100V	4kV
Reference Voltages	1500V	100V	4kV

The AN231E04 is an ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000V readily accumulate on the human body and test equipment and can discharge without detection. Although the AN231E04 device features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high-energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

1.5.12 Power Consumption – Various Modes

Parameter	Symbol	Min	Typ	Max	Unit	Comment
Deep sleep mode ^{1a}	I _{dd}	-	0.004	-	mA	VDD=3.3 volts, T _j =25°C
Stand Standby mode ^{1b}	I _{dd}	-	0.3	-	mA	VDD=3.3 volts, T _j =25°C
Small circuit mode ^{1c}	I _{dd}	-	15	-	mA	VDD=3.3 volts, T _j =25°C
Nominal circuit mode ^{1d}	I _{dd}	-	42	-	mA	VDD=3.3 volts, T _j =25°C
HighPower ^{1e}	I _{dd}	-	61	-	mA	VDD=3.0 volts, T _j =85°C
			67	75		VDD=3.3 volts, T _j =25°C
			73	-		VDD=3.6 volts, T _j =-40°C
Temperature Coefficient for High power.	-	-	-2	-10	μA/°C	

1a. External clock stopped, all analog function disabled, memory active.

1b. External clock at 16MHz on ACLK, all analog functions disabled, memory active.

1c. dpASP active elements – Gain hold CAM, One IO in SnH and both clocked at 1MHz, One IO bypass, all references on.

1d. dpASP active elements - Four gain hold CAMs (4 CAB opamps), one CAB comparator, one CAB multiplier (1 CAB opamp, 1 CAB comparator, 1 CAB SAR ADC), Two IO in SnH, One IO in bypass, one simple IO in digital mode. 4 MHz clock for all, all references on.

1e. dpASP active elements - Seven gain hold CAMs (seven CAB opamps), 1 arbitrary waveform generator (one CAB opamp, LUT, counter) 4 CAB comparators, 4 IO Sample and hold, references on, 4 MHz clock for all where possible, all references on.

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

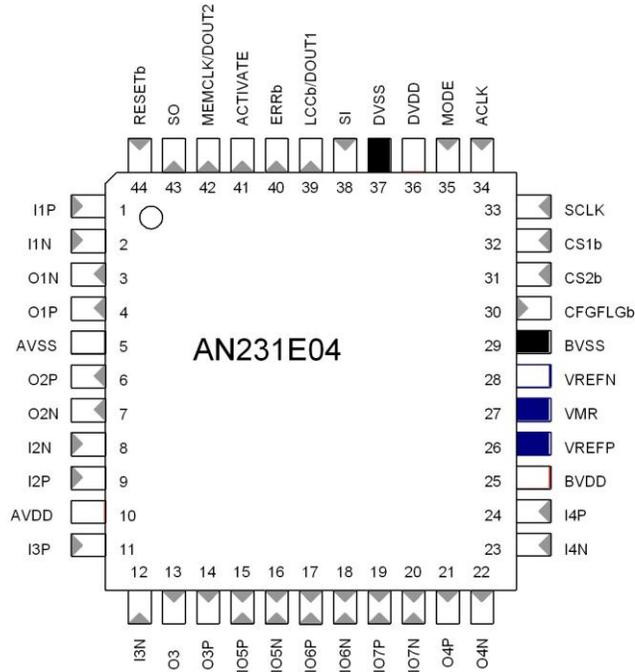
PINOUT

Pin No.	Pin Name	Pin Type	Comments
1	I1P	+ve Input	Type1 Input/Output cell. (IO Cell 1) Analog or digital input and output pins
2	I1N	-ve Input	
3	O1N	-ve Output	
4	O1P	+ve Output	
5	AVSS	Ground Supply	Analog ground, 0 Volts
6	O2P	+ve Output	Type1 Input/Output cell. (IO cell 2) Analog or digital input and output pins
7	O2N	-ve Output	
8	I2N	-ve Input	
9	I2P	+ve Input	
10	AVDD	Positive Supply	Analog power 3.3 Volts
11	I3P	+ve Input	Type1a Input/Output cell. (IO cell 3) Analog or digital input and output pins
12	I3N	-ve Input	
13	O3N	-ve Output	
14	O3P	+ve Output	
15	IO5P	+ve Input/Output	Type 2 Input/Output cell. (IO cell 5)
16	IO5N	-ve Input/Output	
17	IO6P	+ve Input/Output	Type 2 Input/Output cell. (IO cell 6)
18	IO6N	-ve Input/Output	
19	IO7P	+ve Input/Output	Type 2a Input/Output cell. (IO cell 7)
20	IO7N	-ve Input/Output	
21	O4P	+ve Output	Type1a Input/Output cell. (IO cell 3) Analog or digital input and output pins
22	O4N	-ve Output	
23	I4N	-ve Input	
24	I4P	+ve Input	
25	BVDD	Positive Supply	Voltage reference power 3.3 Volts
26	VREFP	Reference load	Reference Voltage Noise suppression. Connected a 100nF capacitor from each pin to BVSS. The capacitive reservoir is used to sink and source peak current, thus reducing noise and maintaining stable reference voltages.
27	VMR	Reference load	
28	VREFN	Reference load	
29	BVSS	Ground Supply	Voltage reference ground 0 Volts
30	CFGFLGb	Digital Output	Config status pin. Open Drain Output with optional internal Pull-up resistor. The output voltage is also sensed by internal circuitry. See figure XX for schematic.
31	CS2b	Digital input	Chip select pin
32	CS1b	Digital input	Device select
33	SCLK	Digital input	CMOS, configuration logic strobe clock.
34	ACLK	Digital input	CMOS, Analog clock input
35	MODE	Digital input	Connect to VSS (ACLK and SCLK sourced externally). Connect to VDD (ACLK sourced externally, MEMCLK & SO generated internally).
36	DVDD	Positive Supply	Digital power 3.3 Volts
37	DVSS	Ground Supply	Digital ground 0.0 Volts
38	SI	Digital input	CMOS Serial data input.
39	LCCb/ DOUT1	Digital output	CMOS. Default function, Indicates Local Configuration Complete. Optional function (Single dpASP designs only), pin can be configured as user assignable signal path digital output under software control.
40	ERRb	Digital output	Error indication. Open Drain, External Pull-up resistor must be used (10KOhms) See fig XXa
41	ACTIVATE	Digital Output	Indicates Device activation. Open Drain Output with optional internal Pull-up resistor. The output voltage is also sensed by internal circuitry. See figure XX for schematic.
42	MEMCLK/ DOUT2	Digital Output	Outputs MEMCLK clock when MODE pin = VSS. Caution - Do not load this pin during reset (NOT to be pulled low externally)
43	SO	Digital Output	Serial Out, ONLY used as an output for SPI-PROM setup bytes during configuration.
44	RESETb	Digital Input	Connected to VSS to reset the dpASP. If held low the dpASP will remain in reset (2msec delay internal set-up time follows release of RESETb (when this pin is pulled high))

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

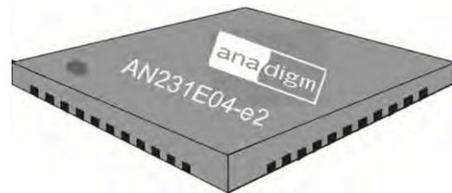
MECHANICAL AND HANDLING

The AN231E04 comes in the industry standard 44 lead QFN package. Dry pack handling is recommended. The package is qualified to MSL3 (JEDEC Standard, J-STD-020A, Level 3). Once the device is removed from dry pack, 30°C at 60% humidity for not longer than 168 hours is the maximum recommended exposure prior to solder reflow. If out of dry pack for longer than this recommended period of time, then the recommended bake out procedure prior to solder reflow is 24 hours at 125°C. The package is compliant with RoHS and is Lead-free. Lead finish is Matt tin (Sn-Cu).



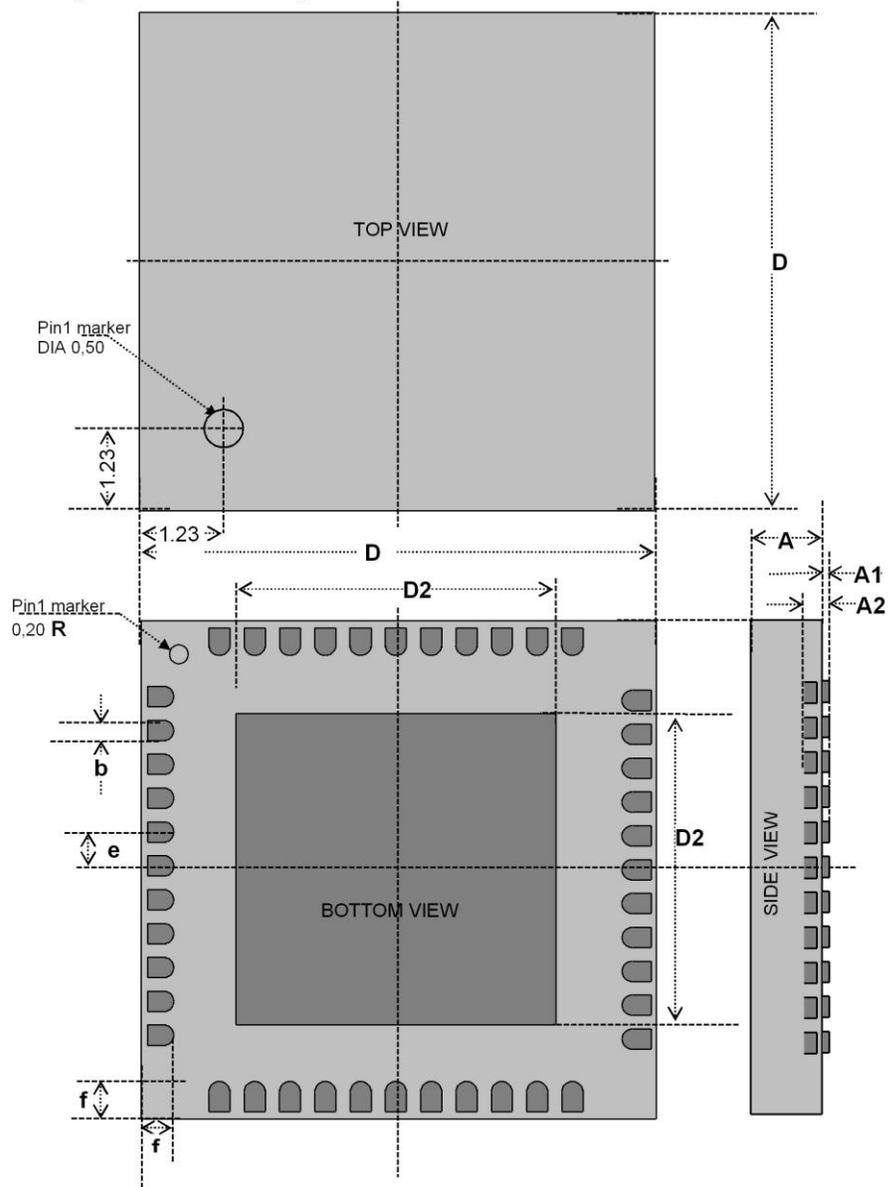
All dimension are in mm

Symbol	Min	Nom	Max
A	0.90	0.9	1.00
A1	0.00	-	0.05
A2	-	0.2	-
D	6.925	7.00	7.075
D2	5.55	5.65	5.75
b	0.18	0.25	0.30
e	-	0.50	-
f	0.20	-	-
Note: Drawing and package conform to JEDEC			



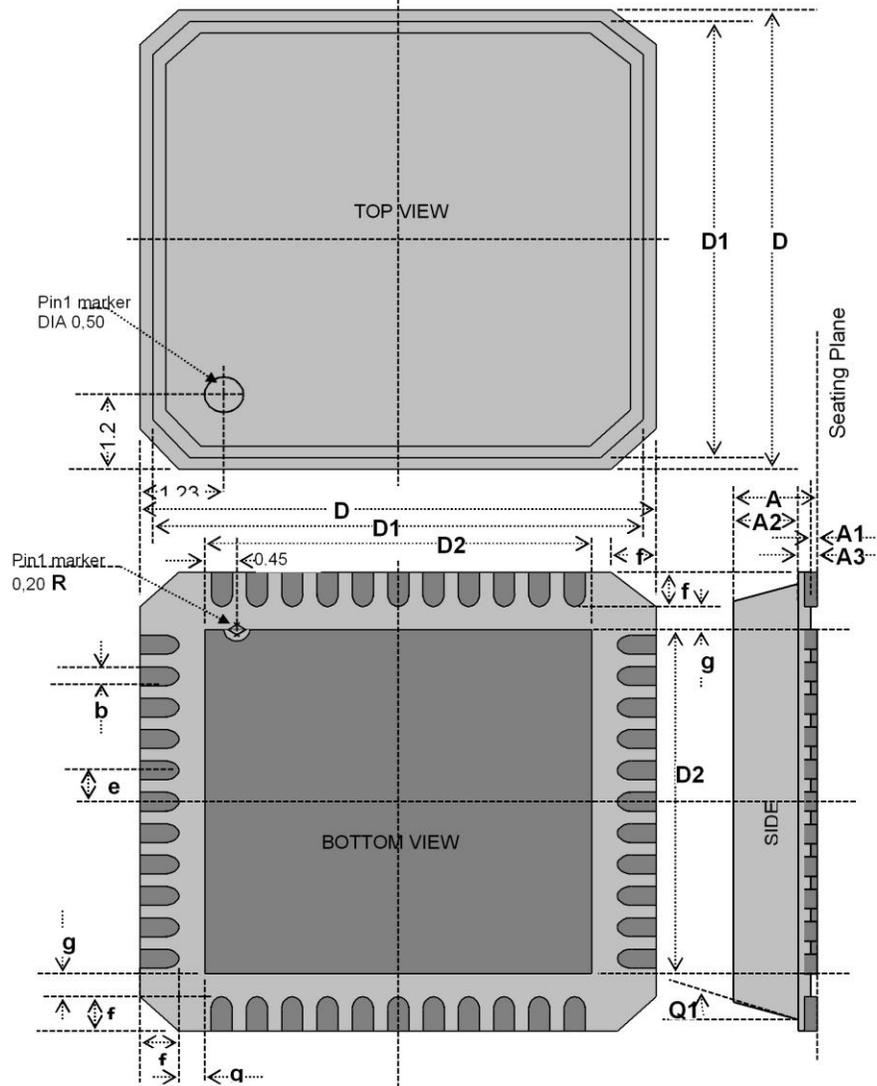
AN231E04 Datasheet – Dynamically Reconfigurable dpASP

QFN Package mechanical drawing.



DS231000-U001e

AN231E04 Datasheet – Dynamically Reconfigurable dpASP
 Old QFN Package mechanical drawing (device assembled before 2007)



Symbol	Min	Nom	Max	Symbol	Min	Nom	Max
A	-	-	0.90	b	0.20	0.25	0.32
A1	0.00	0.01	0.05	e	-	0.50	-
A2	-	0.65	0.70	f	0.26	0.42	0.60
A3	-	0.20	-	g	0.2	-	-
D	-	7.00	-	Q1	0.0°	(Ang.deg.)	12°
D1	-	6.75	-				
D2	5.30	5.50	5.70				

DS231000-U001e

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

This page is empty

AN231E04 Datasheet – Dynamically Reconfigurable dpASP

This page is empty



<http://www.anadigm.com>
For More information Contact support@anadigm.com